

**FACULDADE DE ENGENHARIA DA UNIVERSIDADE DO PORTO**



# **Fonte de alimentação de baixa tensão e elevada corrente para microprocessadores**

**Ruben Tiago Pinto Sarmiento da Costa**

Mestrado Integrado em Engenharia Eletrotécnica e de Computadores

Orientador: António José Pina de Martins (Professor Dr.)

30 de Julho de 2013



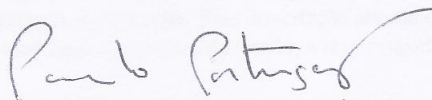
**Resumo**

A Dissertação intitulada

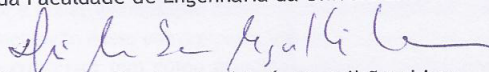
“Fonte de Alimentação de Baixa Tensão e Elevada Corrente para  
Microprocessadores”

foi aprovada em provas realizadas em 19-07-2013

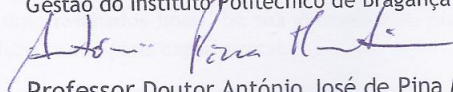
o júri



Presidente Professor Doutor Paulo José Lopes Machado Portugal  
Professor Auxiliar do Departamento de Engenharia Eletrotécnica e de Computadores  
da Faculdade de Engenharia da Universidade do Porto

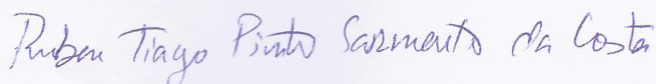


Professor Doutor José Luís Magalhães Lima  
Professor Adjunto Departamento de Eletrotécnica da Escola Superior de Tecnologia e  
Gestão do Instituto Politécnico de Bragança



Professor Doutor António José de Pina Martins  
Professor Auxiliar do Departamento de Engenharia Eletrotécnica e de Computadores  
da Faculdade de Engenharia da Universidade do Porto

O autor declara que a presente dissertação (ou relatório de projeto) é da sua  
exclusiva autoria e foi escrita sem qualquer apoio externo não explicitamente  
autorizado. Os resultados, ideias, parágrafos, ou outros extratos tomados de ou  
inspirados em trabalhos de outros autores, e demais referências bibliográficas  
usadas, são corretamente citados.



Autor - Ruben Tiago Pinto Sarmiento da Costa



# Resumo

Esta dissertação apresenta como título “Fonte de alimentação de baixa tensão e elevada corrente para microprocessadores”. Este tema incide sobre o atual contexto da fonte de alimentação dos novos microprocessadores, os quais cada vez mais estão a ser desenvolvidos devido à sua capacidade e rapidez de processamento. Uma das grandes questões da evolução destes microprocessadores é a sua própria alimentação. Esta dissertação aborda os pontos essenciais para que se possa implementar uma fonte reguladora de tensão, a responsável pela alimentação destes microprocessadores.

Para tal, começa por abordar as topologias usadas para este tipo de conversores bem como os métodos de controlo neles implementados. De seguida, é feita a escolha da topologia e método de controlo a implementar. Após isso é feito o dimensionamento dos elementos passivos e ativos do conversor e faz-se a simulação dessa mesma topologia em malha aberta e fechada. Por fim, faz-se a implementação desse conversor onde é mostrado apenas o controlo em malha aberta.

Esse conversor tem como principais especificações uma tensão de entrada,  $V_{in} = 5V$ , uma tensão de saída,  $V_{out} = 1.5V$ , uma variação máxima da carga,  $\Delta I = 50A$ , uma frequência de comutação,  $f_s = 200kHz$  e com quatro fases.

Como resultados finais, na sua generalidade, observam-se resultados satisfatórios tanto na simulação como parte experimental.



# Abstract

This thesis entitled "Low-voltage and High-Current Power Supply for Microprocessors" focuses on the context of supply the new Microprocessors, which are increasingly being developed because of their capability and speed processing. One of the big issues in the evolution of these microprocessors is its own supply. This thesis discusses the essential blocks needed to implement a voltage source regulator, responsible for the supply of these microprocessors.

For this, it begins by addressing the topologies used for this type of converters as well as the methods to control them. Then the choice is made from the available topologies and control methods. After this is done the design of passive and active elements of the converter and the simulation of them in open loop and closed loop. Finally, presents the implementation of this converter, which appears only in open loop control.

This converter has the following main specifications: input voltage,  $V_{in} = 5V$ , output voltage,  $V_{out} = 1.5V$ , maximum variation of the load,  $\Delta I = 50A$ , switching frequency,  $f_s = 200kHz$  and with four phases.

As a final balance, in general, satisfactory results were observed both in simulation and in the experimental part.





# Agradecimentos

Para a realização desta dissertação, foi necessária a colaboração, atenção e apoio de algumas pessoas, a quem gostaria de expressar a minha profunda gratidão.

Agradeço ao Professor Doutor António José Pina Martins pela sua orientação, conselhos, constante exigência e apoio manifestado em todas as fases do trabalho.

Agradeço à minha família pelo apoio e incentivo constante dado ao longo do trabalho.

Finalmente, uma palavra também para os meus amigos, que de uma forma ou de outra contribuíram, com sugestões, comentários ou simplesmente pelo apoio moral.

Ruben Tiago Pinto Sarmento da Costa



*"O mais alto de nós não é mais que um conhecedor  
mais próximo do oco e do incerto de tudo."*

Fernando Pessoa



# Conteúdo

<b>1</b>	<b>Introdução</b>	<b>1</b>
1.1	Contexto/Enquadramento . . . . .	1
1.2	Objetivo . . . . .	6
1.3	Estrutura da Dissertação . . . . .	6
<b>2</b>	<b>Revisão da literatura e estado da arte</b>	<b>7</b>
2.1	Introdução . . . . .	7
2.2	Topologias candidatas a conversores de módulos reguladores de tensão - VRMs .	7
2.2.1	Topologias de VRMs não isoladas . . . . .	7
2.2.2	Topologias de VRMs isoladas . . . . .	15
2.3	Métodos de controlo para VRMs . . . . .	18
2.3.1	Métodos <i>Droop</i> . . . . .	19
2.3.2	Métodos de partilha de corrente ativa . . . . .	22
2.4	Conclusão . . . . .	27
<b>3</b>	<b>Dimensionamento e simulação da topologia escolhida</b>	<b>29</b>
3.1	Introdução . . . . .	29
3.2	Topologia escolhida . . . . .	30
3.3	Dimensionamento dos componentes . . . . .	30
3.4	Modelo AC em malha aberta . . . . .	33
3.5	Projeto dos vários controladores . . . . .	36
3.6	Simulações do conversor <i>buck</i> multi-fase . . . . .	39
3.7	Conclusão . . . . .	43
<b>4</b>	<b>Projeto e resultados experimentais</b>	<b>45</b>
4.1	Introdução . . . . .	45
4.2	Projeto da fonte de alimentação . . . . .	45
4.2.1	Circuito de potência . . . . .	45
4.2.2	Circuito dos <i>drivers</i> . . . . .	46
4.2.3	Fonte de alimentação implementada . . . . .	47
4.3	Resultados experimentais . . . . .	48
4.4	Conclusão . . . . .	51
<b>5</b>	<b>Conclusões e Trabalho Futuro</b>	<b>53</b>
5.1	Conclusões . . . . .	53
5.2	Trabalho futuro . . . . .	53

<b>A</b>	<b>Circuitos de potência usados na simulação</b>	<b>55</b>
A.1	Circuito de potência do conversor <i>buck</i> multi-fase - sem dispersão paramétrica . .	55
A.2	Circuito de potência do conversor <i>buck</i> multi-fase - com dispersão paramétrica .	56
	<b>Referências</b>	<b>57</b>

# Lista de Figuras

1.1	Evolução do consumo médio de energia dos microprocessadores da Intel [1]. . . . .	2
1.2	Evolução da tensão de alimentação dos microprocessadores da Intel [1]. . . . .	2
1.3	Evolução da corrente de alimentação dos microprocessadores da Intel [1]. . . . .	3
1.4	Evolução do <i>Slew Rate</i> da corrente dos microprocessadores da Intel [1]. . . . .	4
1.5	Evolução do máximo <i>overshoot</i> da tensão dos microprocessadores da Intel [1]. . . . .	5
1.6	Evolução do <i>Settling time</i> máximo no transitório de carga dos microprocessadores da Intel [1]. . . . .	5
2.1	Conversor <i>buck</i> multi-fase. . . . .	8
2.2	Ganho da tensão de saída para um Conversor <i>buck</i> multi-fase com tensões de entrada de 5V e 12V. . . . .	9
2.3	Eficácia do fator de atenuação do <i>ripple</i> de corrente de um Conversor <i>buck</i> multi-fase de 4 fases [2]. . . . .	9
2.4	Conversor <i>Tapped-inductor Buck</i> . . . . .	10
2.5	Ganho de tensão do conversor <i>Tapped-inductor Buck</i> vs <i>duty cycle</i> . . . . .	11
2.6	Conversor <i>Tapped-inductor Buck</i> com circuito limitador . . . . .	12
2.7	Conversor meia ponte não isolada. . . . .	13
2.8	Ganho de tensão do conversor meia ponte não isolada VS <i>duty cycle</i> . . . . .	13
2.9	Conversor <i>Buck</i> baseado num transformador. . . . .	14
2.10	Conversor <i>Active Clamp Forward</i> . . . . .	15
2.11	Conversor meia ponte isolada. . . . .	16
2.12	Conversor ponte completa ZVS. . . . .	17
2.13	Classificação dos métodos de controlo para conversores em paralelo. - Adaptado de [3] . . . . .	18
2.14	Características de saída ilustram o comportamento da partilha de corrente, 2(a) - Fontes em paralelo, 2(b) - Fontes de tensão ideais, 2(c) - Fontes de corrente ideais, 2(d) - Resistência de saída elevada e 2(e) - Resistência de saída baixa. $V_p$ é a tensão de saída do sistema em paralelo [3]. . . . .	19
2.15	Queda de tensão devido à resistência em série [3]. . . . .	20
2.16	Queda de tensão através da realimentação da corrente de saída [3]. . . . .	20
2.17	Modo corrente com baixo ganho DC [3]. . . . .	21
2.18	Controlo programado através de ganho não-linear [3]. . . . .	21
2.19	Diagrama de blocos do modo de regulação interna [3]. . . . .	22
2.20	Diagrama de blocos do modo de regulação externa [3]. . . . .	23
2.21	Diagrama de blocos usando um controlador externo [3]. . . . .	24
2.22	Exemplo típico do método básico [3]. . . . .	25
2.23	Implementação típica do método Mestre automático [3]. . . . .	27

3.1	Modelo AC do conversor <i>buck</i> multi-fase da corrente de uma fase em função do <i>duty cycle</i> - Adaptado de [4]. . . . .	35
3.2	Função de transferência $\frac{I_{LN}(s)}{\delta_N(s)}$ para N(1...4) conversores <i>buck</i> em paralelo em modo contínuo de condução, sem perdas incluídas. . . . .	35
3.3	Função de transferência $\frac{I_{LN}(s)}{\delta_N(s)}$ para N(1...4) conversores <i>buck</i> em paralelo em modo contínuo de condução, com perdas incluídas. . . . .	36
3.4	<i>Droop</i> de tensão em função da carga. . . . .	37
3.5	Aquisição das imagens das correntes de cada fase. . . . .	37
3.6	Controladores das médias das correntes do tipo PI. . . . .	38
3.7	Controlador da tensão de saída do tipo PI. . . . .	38
3.8	Gerador dos PWMs dos vários semicondutores. . . . .	39
3.9	Ondas de corrente da carga e das várias fases e os seus respectivos PWMs - Sem dispersão. . . . .	40
3.10	Ondas de corrente da carga e das várias fases e os seus respectivos PWMs - Com dispersão. . . . .	40
3.11	<i>Ripple</i> da tensão de saída, $V_{out}$ para carga mínima e máxima. . . . .	41
3.12	Tensão de saída, $V_{out}$ , em função da variação de carga em degrau. . . . .	42
3.13	Tensão de saída, $V_{out}$ , em função da variação de carga em rampa. . . . .	42
3.14	$V_{out}$ e $I_{load}$ em função da variação da tensão de entrada, $V_{in}$ . . . . .	43
3.15	$V_{out}$ e $I_{load}$ em função da variação da tensão de referência, $V_{ref}$ . . . . .	43
4.1	Circuito de potência do conversor <i>buck</i> multi-fase. . . . .	46
4.2	Circuito dos <i>drivers</i> do conversor <i>buck</i> multi-fase. . . . .	47
4.3	Conversor <i>buck</i> multi-fase (4 fases). . . . .	47
4.4	PWMs das quatro fases ( ph1 (—), ph2 (—), ph3 (—) e ph4 (—)) do conversor <i>buck</i> multi-fase. . . . .	48
4.5	PWM de uma fase do conversor <i>buck</i> multi-fase (—) e o <i>ripple</i> de tensão de saída, $V_{out}$ respetivo (—). . . . .	49
4.6	PWMs de duas fases ( ph1 (—) e ph2 (—)) e o <i>ripple</i> da tensão de saída, $V_{out}$ , relativo às quatro fases (—). . . . .	49
4.7	PWMs de duas fases ( ph1 (—) e ph2 (—)) e a tensão de saída, $V_{out}$ (—). . . . .	50
4.8	PWMs de duas fases ( ph1 (—) e ph2 (—)) e os <i>ripples</i> de corrente respetivos ( $ripple_{ph1}$ (—) e $ripple_{ph2}$ (—)). . . . .	50
4.9	PWM de uma fase (—) do conversor <i>buck</i> multi-fase, tensão <i>drain-source</i> do transistor do <i>low-side</i> , $V_{DS}$ (—) e corrente no transistor do <i>high-side</i> da fase respetiva (—). . . . .	51
A.1	Circuito de potência do conversor <i>buck</i> multi-fase - sem dispersão paramétrica. . . . .	55
A.2	Circuito de potência do conversor <i>buck</i> multi-fase - com dispersão paramétrica. . . . .	56



# Lista de Tabelas

3.1	Especificação de parâmetros da fonte de alimentação. . . . .	29
-----	--	----



# Abreviaturas e Símbolos

## Abreviaturas:

ESL	<i>Equivalent Series Inductance</i>
ESR	<i>Equivalent Series Resistance</i>
MP	Microprocessador
PC	Computador pessoal
PWM	<i>Pulse With Modulation</i>
VRM	<i>Voltage regulator module</i>
ZVS	<i>Zero Voltage Switching</i>

## Símbolos:

$C_{out}$	Condensador de saída
$D$	<i>Duty cycle</i>
$f_s$	frequência de comutação
$I_{load}$	Corrente na carga
$I_{ph}$	Corrente por fase
$N$	número de fases
$n$	Relação de espiras entre dois enrolamentos
$R_{DS_{on}}$	Resistência de condução do semiconductor
$S_x$	Semicondutores
$T_{on}$	Tempo de condução
$T_s$	Tempo de comutação
$V_{con_x}$	Tensões de controlo
$V_{DS}$	Tensão <i>drain-source</i>
$V_{in}$	Tensão de entrada
$V_{out}$	Tensão de saída
$V_{PP_{MAX}}$	<i>Ripple máximo da tensão de saída permitido</i>
$V_{ref}$	Tensão de referência
$\Delta I$	<i>Variação da corrente na carga</i>
$\Delta V_{max}$	Desvio máximo de tensão permitido



# Capítulo 1

## Introdução

Pretende-se com este documento abordar a dissertação com o tema, “ Fonte de alimentação de baixa tensão e elevada corrente para microprocessadores ”, especificando neste capítulo o enquadramento, o objetivo e estrutura em que esta será desenvolvida.

### 1.1 Contexto/Enquadramento

Os desafios no que diz respeito à alimentação dos microprocessadores - MPs de computadores - PCs modernos são tão relevantes que os grandes avanços na indústria da eletrónica de potência têm sido motivados pela evolução do consumo de energia dos mesmos. É de tal maneira visível, que as recentes inovações em tecnologia de semicondutores de baixa tensão, sistemas de controlo, encapsulamento, embalagem e arquiteturas de sistema têm sido condicionadas a grande escala não só devido a necessidades energéticas dos MPs mas também no que diz respeito à conversão e transferência de energia para a alimentação dos mesmos.

Do ponto de vista da fonte de alimentação, os MPs são das cargas eletrónicas mais exigentes, devido à combinação de uma série de requisitos de desempenho rigorosos que têm de ser satisfeitos simultaneamente. Ou seja, a alimentação de um MP deve cumprir rigorosamente vários requisitos tais como, grandes taxas de conversão, operação de alta corrente, baixa ondulação da tensão de saída, alta densidade de energia, alta eficiência e grande largura de banda de resposta a mudanças rápidas de carga num único e mesmo projeto.

Tem-se verificado uma evolução rápida nas últimas décadas no que diz respeito ao nível de sofisticação na alimentação dos MPs. Desde o lançamento do primeiro processador (1971) até aos dias de hoje o consumo de energia dos MPs aumentou em grande escala. Com os avanços na tecnologia a dimensão dos transístores para micro-estruturas diminui de 10mm para 32nm (3ª geração dos Core i7 extreme da Intel) [5] e a tendência é diminuir ainda mais.

Esta tendência juntamente com a observação empírica de Moore e também com o aumento da frequência de relógio dos MPs resultou num aumento progressivo de densidade de potência, presentemente  $100W/cm^2$  nos PCs de alto desempenho. Esse aumento fez com que o calor produzido fosse consequentemente aumentado. Para que tal diminua teve de haver melhorias de dissipação

térmica as quais foram encontradas aplicando soluções a nível de *hardware* entre as quais, desenvolvimento de novos semicondutores, estruturas *multicore*, diminuição da tensão de entrada, entre outras [1].

Com estas soluções, a curva de consumo de energia dos microprocessadores de alto desempenho da Intel tem vindo a estabilizar como é mostrado na figura 1.1 embora a tendência será continuar a aumentar mesmo que com menos acentuação.

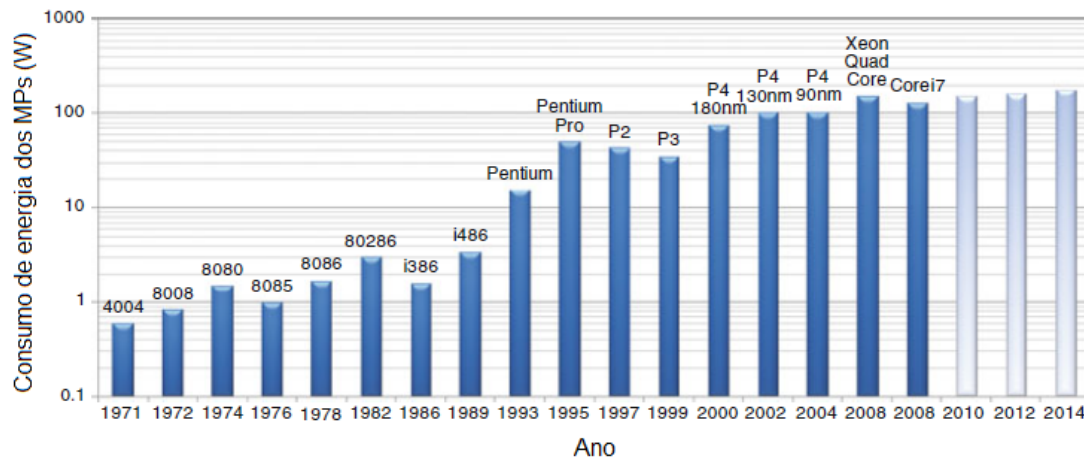


Figura 1.1: Evolução do consumo médio de energia dos microprocessadores da Intel [1].

Como já foi referido acima a diminuição da tensão de entrada interfere na melhoria de dissipação térmica de modo a produzir-se menor calor. Essa produção de calor acontece devido à proporcionalidade ao quadrado da tensão de entrada com as perdas de comutação dos semicondutores. Como está representado na figura 1.2, a tensão de alimentação nos últimos 20 anos diminuiu mais do que 5 volts. A tendência será continuar a diminuir de modo a melhorar a dissipação térmica.

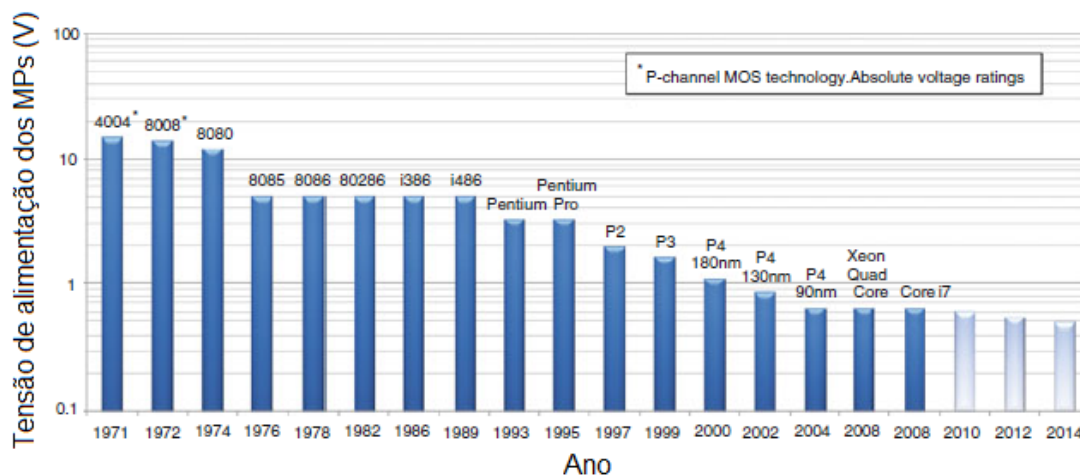


Figura 1.2: Evolução da tensão de alimentação dos microprocessadores da Intel [1].

O aumento contínuo do número de transístores e da velocidade de relógio dos MPs, na sua generalidade tem tido como consequência, o aumento de outra grandeza elétrica, intensidade de corrente (A), no que diz respeito à operação dos PCs. A figura 1.3 mostra a evolução dessa grandeza nas últimas décadas e está previsto nos próximos anos continuar a aumentar o consumo de corrente por parte dos MPs.

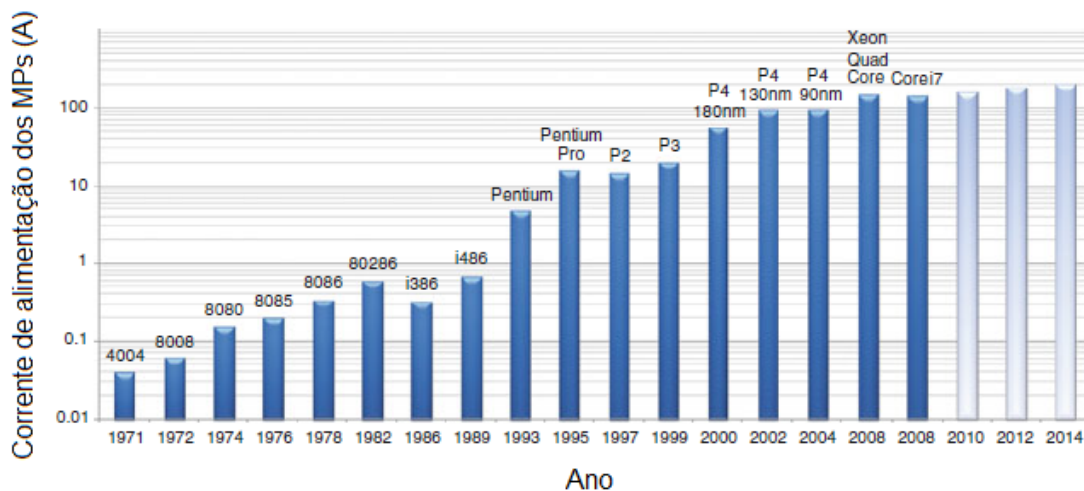


Figura 1.3: Evolução da corrente de alimentação dos microprocessadores da Intel [1].

Este aumento de corrente consumida pelos microprocessadores provoca problemas de aquecimento, e mau funcionamento do sistema devido a flutuações de tensão em toda a rede de distribuição de energia e também pelas interconexões com a própria fonte de alimentação.

Falando um pouco do regime estático na alimentação do MP existem dois parâmetros aos que se deve ter em atenção. Um deles é manter a tensão de alimentação do MP com o menor desvio possível em relação à tensão de referência. Neste momento esse desvio ronda cerca  $\pm 20\text{mV}$  mas tende cada vez a ser menor com o evoluir da tecnologia. O outro parâmetro denominado como linha de carga, é uma relação linear entre a tensão de alimentação e a corrente que a carga (MP) necessita e pode ser bem definido por dois parâmetros, a tensão aquando de uma operação com corrente zero e a resistência determinada pelo fluxo de decaimento da tensão como função da corrente na carga. O valor desta resistência tende também a diminuir com o evoluir da tecnologia [1].

Considerando agora o regime dinâmico crítico de alimentação dos MPs, também existem parâmetros a ter em conta tais como o *slew rate* da corrente, o máximo *overshoot* de tensão permitido e também o *settling time* após a mudança de carga consoante o estado de funcionamento do MP [1].

Tendo em conta o *slew rate* da corrente, sabe-se que este parâmetro define essencialmente a velocidade com que a corrente na carga varia conforme o estado de utilização do microprocessador. Este parâmetro tem um valor limite devido às indutâncias parasitas existentes na rede da distribuição de energia e dos condensadores do filtro de saída. Durante o transitório de corrente, a tensão induzida entre os indutâncias parasitas produz picos nos terminais do MP que podem originar tanto problemas de funcionamento do próprio circuito como problemas de fiabilidade do

sistema de alimentação. Sendo assim torna-se importante determinar e especificar um valor máximo do *slew rate* no projeto de uma fonte de alimentação para MPs. Com o contínuo aumento da frequência do relógio de operação dos MPs e também das correntes necessárias de alimentação da carga tem sido inevitável o aumento do próprio *slew rate*, que é visível na figura 1.4. E o mais provável é continuar a aumentar dado que os outros também tendem a aumentar [1].

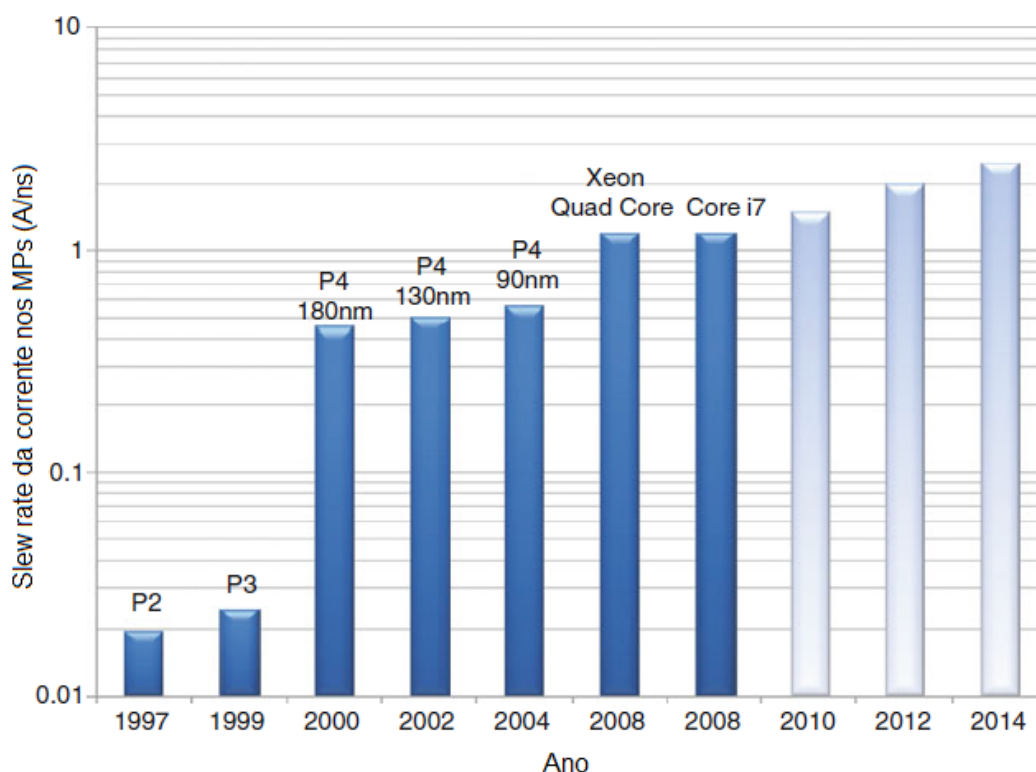


Figura 1.4: Evolução do *Slew Rate* da corrente dos microprocessadores da Intel [1].

Outro parâmetro importante da carga em regime dinâmico a ter em conta para o design da fonte de alimentação, como já foi referido acima, é o máximo *overshoot* da tensão permitida que pode ocorrer quando o MP passa de estado em carga nominal para um estado sem carga praticamente nenhuma. Esse valor limite está representado na figura 1.5 e pode observar-se que com o passar do tempo tem vindo a diminuir e a tendência será continuar a diminuir. Embora esses *overshoots* de tensão possam ocorrer repetidamente, o MP só pode ser exposto a *overshoots* durante um tempo limite, tempo esse denominado como *settling time*, o qual também já foi referido como um parâmetro da carga em regime dinâmico. O *settling time* máximo especificado para evitar mau funcionamento e uma degradação mais rápida dos MPs modernos anda na ordem décimos de micro-segundos, como é indicado na figura 1.6. Reduzir o *settling time* na próxima geração de MPs como está previsto, terá um impacto tanto no filtro de saída como na malha de controlo, sendo ambos requisitos da fonte de alimentação [1].

Após este breve enquadramento, no que diz respeito à evolução dos microprocessadores de alto desempenho, do ponto de vista de cargas elétricas exigentes que são, percebe-se que as con-



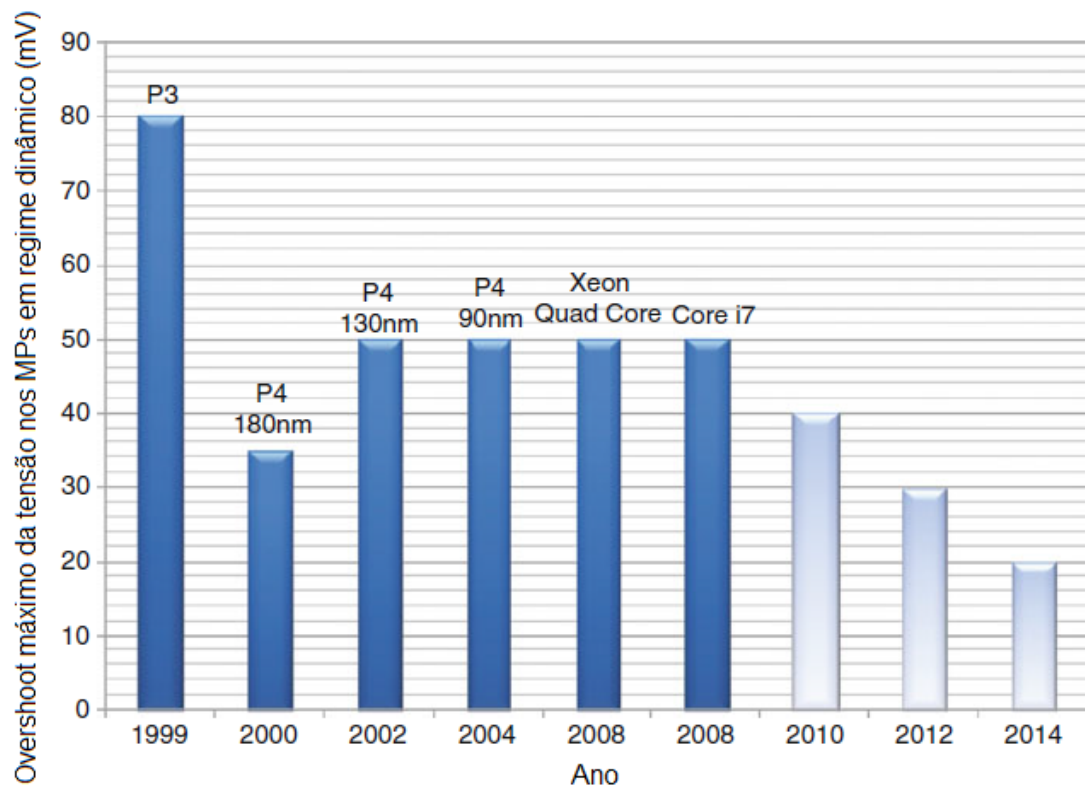


Figura 1.5: Evolução do máximo *overshoot* da tensão dos microprocessadores da Intel [1].

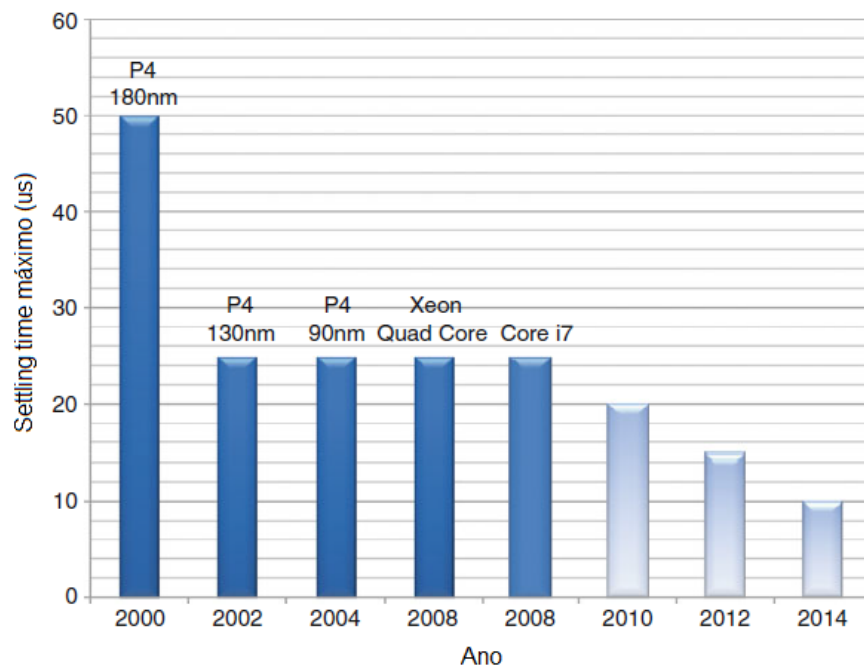


Figura 1.6: Evolução do *Settling time* máximo no transitório de carga dos microprocessadores da Intel [1].

tínuas melhorias na velocidade de processamento e funcionalidade de cada nova tecnologia de processamento tende a resultar em especificações elétricas mais rigorosas, que são necessárias para manter o funcionamento adequado e confiável do sistema [1].

## 1.2 Objetivo

Com base nas questões de gestão de energia, é de referir que a alta eficiência, a alta densidade de potência, a resposta dinâmica rápida que os MPs exigem aos *Voltage Regulators modules* - VRMs são essenciais para satisfazer as necessidades de energia dos novos microprocessadores. Para que se consiga atingir estes objetivos, este documento terá uma estrutura lógica onde serão mostradas as várias etapas por forma a ser possível implementar a fonte de alimentação de baixa tensão e elevada corrente para microprocessadores.

## 1.3 Estrutura da Dissertação

A presente dissertação é constituída por 5 capítulos. Este primeiro capítulo serve para introduzir o leitor no âmbito da dissertação, dando-lhe também a conhecer o contexto/enquadramento da mesma e os objetivos que dela advêm.

O segundo capítulo apresenta a revisão da literatura e o estado de arte por forma a descrever, de forma sucinta, as várias topologias de VRMs para MPs e os métodos de controlo usados nessas topologias.

No capítulo três são abordados dois pontos da topologia escolhida. O primeiro refere o dimensionamento dos componentes a usar nessa topologia. O segundo demonstra os resultados das várias simulações dessa mesma topologia usando os valores resultantes do dimensionamento.

Existe também um quarto capítulo onde será mostrado o projeto da fonte de alimentação tendo em conta a sua especificação, implementação e resultados de alguns testes a serem feitos.

Por último existe um quinto capítulo onde serão apresentadas não só as conclusões deste trabalho bem como perspetivas futuras do mesmo de forma a poder melhorá-lo posteriormente.

## Capítulo 2

# Revisão da literatura e estado da arte

### 2.1 Introdução

Este capítulo tem como objetivo enumerar e explicar sucintamente as várias topologias VRMs usadas para alimentar os MPs e os métodos de controlo a elas associadas, até então, por forma a que seja possível identificar a melhor solução para o problema proposto para esta dissertação.

Para tal, o primeiro subcapítulo mostra e explica de forma breve várias topologias usadas para a solução pretendida, umas mais antigas outras mais recentes, que posteriormente vão levar à solução a ser usada para esta dissertação. Para que tal seja feito de forma coerente, são descritas as várias vantagens e desvantagens de cada topologia. Existe um outro subcapítulo onde são descritos sucintamente alguns dos vários métodos de controlo existentes para as topologias VRMs para que depois se possa tomar uma decisão relativamente ao método a usar tanto no processo de simulação como no experimental.

### 2.2 Topologias candidatas a conversores de módulos reguladores de tensão - VRMs

Tal como já foi referido no capítulo 1 com as melhorias contínuas na tecnologia ao longo dos últimos anos, os MPs cada vez operam a frequências de *clock* mais altas, e consomem mais energia. Tendo isso em conta, os MPs têm vindo a reduzir a sua tensão de alimentação, reduzir também a tolerância no desvio da tensão de saída, aumentar o consumo de corrente, e melhorar a resposta dinâmica, ou seja torna-la mais rápida.

Para cumprir aos requisitos impostos pelos MPs são apresentados de seguida dois grupos de topologias VRMs, as topologias VRMs não isoladas e as isoladas.

#### 2.2.1 Topologias de VRMs não isoladas

A topologia mais popular para esta aplicação (VRM não isolada) é o conversor *Buck* multi-fase. O principal obstáculo para este conversor é possuir um *duty cycle* extremamente pequeno

para tensões de saída abaixo de 1V. *Duty cycles* pequenos originam perdas de comutação maiores o que limita a frequência de comutação deste conversor prejudicando assim, não só a sua eficiência a frequências de comutação elevadas bem como a sua resposta dinâmica. Uma solução para esta topologia é a utilização de um número maior de fases, mas que não é uma solução economicamente otimizada [6–8].

Na tentativa de resolver os problemas acima mencionados várias topologias têm sido propostas. As topologias propostas em [6–11] são topologias baseadas no conversor *Buck* em que usam uma bobine acoplada para aumentar o *duty cycle*. A principal desvantagem destas topologias é que o *stress* da tensão do MOSFET de controlo é maior do que a tensão de entrada, de modo que é muitas vezes necessário limitar esse *stress* de tensão nos semicondutores e para tal usa-se um circuito auxiliar. Além disso, essas topologias operaram em modo *hard switching*, o que faz com que as perdas de comutação presentes nestas topologias as impeçam operar a frequências de comutação muito altas. Nas secções seguintes, são apresentadas algumas topologias VRMs não isoladas onde são discutidas as suas vantagens e desvantagens.

### 2.2.1.1 Conversor *buck* multi-fase

A topologia do conversor *buck* multi-fase é mostrada na figura 2.1. Esta topologia é usada amplamente em aplicações de VRMs com tensão de entrada de 5V. Hoje em dia, com o desenvolvimento da tecnologia do MP, o PC precisa de mais energia. Isto obriga a tensão de alimentação dos VRMs tenderem a ter uma tensão de entrada maior, de 12 V ou superior, por uma questão de melhorar tanto a sua eficiência como as respostas dinâmicas [12].

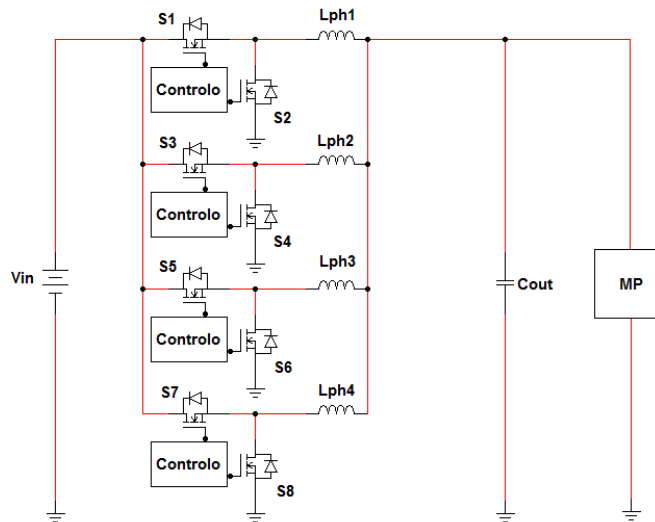


Figura 2.1: Conversor *buck* multi-fase.

A relação de tensão de entrada e saída do conversor *buck* multi-fase pode ser expressa pela equação 2.1. A partir da figura 2.2 observa-se que o *duty cycle* é cerca de 10 %, quando a tensão de entrada é 12V e a tensão de saída é 1V. Se a corrente de saída é 20A/*phase*, o pico de corrente

através dos *high side* MOSFETs será de pelo menos 20A. Esta elevada corrente vai aumentar as perdas de comutação, que por sua vez irá limitar as aplicações desta topologia para fontes de alimentação de alta velocidade e de alta densidade. O *duty cycle* pequeno também vai reduzir a eficácia do fator de atenuação do *ripple* de corrente do condensador de saída  $C_{out}$  usando o controlo de mudança de fase. A figura 2.3 mostra a eficácia do fator de atenuação do *ripple* de corrente do  $C_{out}$  em função do *duty cycle* [2]. A partir da figura 2.3 observa-se que com um pequeno *duty cycle* o cancelamento do *ripple* não é tão eficaz para aplicações com tensão de entrada acima de 5V [13]. O ciclo de trabalho, D, pode ser definido pela equação 2.2, onde  $T_{on}$  é o tempo de condução, e  $T_s$  é o período de comutação.

$$V_o = V_{in}.D; \quad (2.1)$$

$$D = T_{on}/T_s; \quad (2.2)$$

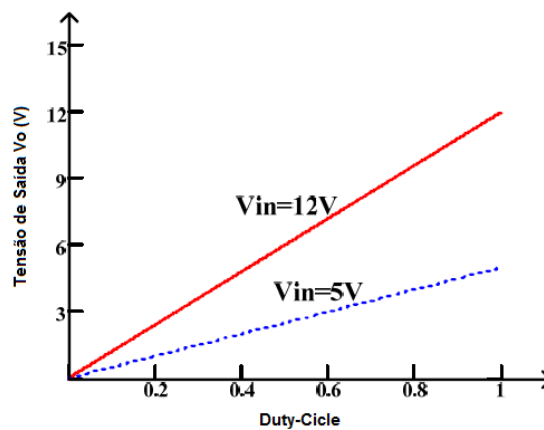


Figura 2.2: Ganho da tensão de saída para um Conversor *buck* multi-fase com tensões de entrada de 5V e 12V.

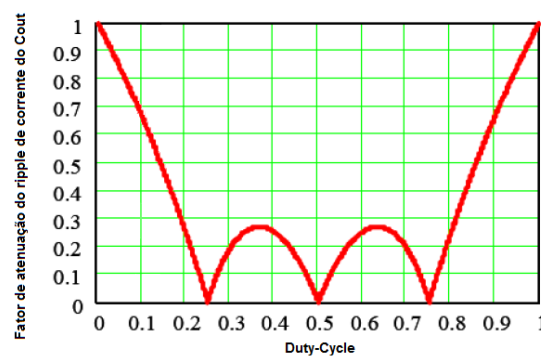


Figura 2.3: Eficácia do fator de atenuação do *ripple* de corrente de um Conversor *buck* multi-fase de 4 fases [2].

Por último, são descritas abaixo as desvantagens deste conversor:

- Um *duty cycle* pequeno provoca picos de corrente elevados que vão atravessar os *high side* MOSFETs, que fará com as perdas de comutação aumentem drasticamente.
- Um *duty cycle* pequeno piora a resposta dinâmica do conversor, uma vez que o *duty cycle* fica limitado aquando de mudanças de carga.
- Um *duty cycle* pequeno reduz a eficácia do fator de atenuação do *ripple* de corrente usando o método *interleaved*.
- Um *duty cycle* pequeno limita a frequência de comutação desta topologia porque com tempos curtos para entrar e sair de condução é exigida uma elevada corrente de condução, o que torna os circuitos de condução mais caros e com um *design* mais complexo.
- Finalmente, é difícil medir a corrente do *high side* MOSFET com um tempo de condução muito curto.

### 2.2.1.2 Buck Topology with Coupled Inductor

Para resolver o problema do conversor *buck* multi-fase, é proposta a topologia *Tapped-inductor Buck* em [8, 14]. Esta topologia está representada na figura 2.4, e é de referir que a bobine acoplada é utilizada para prolongar o *duty cycle*.

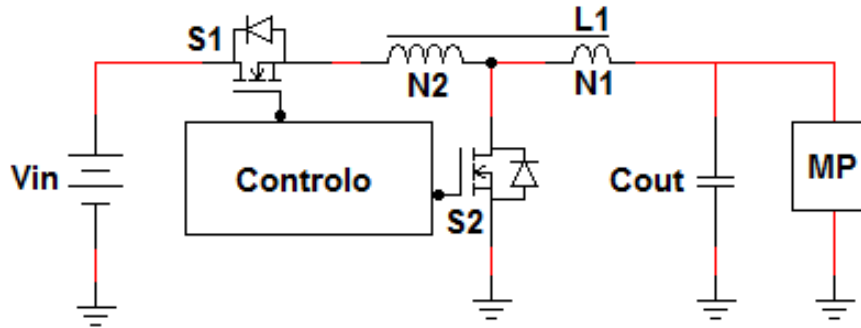


Figura 2.4: Conversor *Tapped-inductor Buck*.

As equações 2.3 - 2.7 são usadas para projetar o conversor *Tapped-inductor Buck*. A partir da equação 2.4 percebe-se que para se ter um *duty cycle* maior  $n$  tem de ser tanto maior quanto possível. A figura 2.5 mostra o ganho de tensão do conversor *Tapped-inductor Buck* vs *duty cycle*.

$$n = \frac{N_1 + N_2}{N_1}; \quad (2.3)$$

$$D = \frac{n \cdot V_o}{V_{in} + (n - 1) \cdot V_o}; \quad (2.4)$$

$$\frac{V_o}{V_{in}} = \frac{D}{D + n \cdot (1 - D)}; \quad (2.5)$$

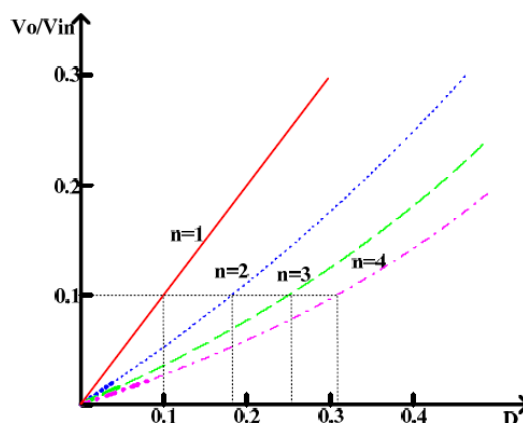


Figura 2.5: Ganho de tensão do conversor *Tapped-inductor Buck* vs *duty cycle*.

As equações 2.6 e 2.7 são usadas para calcular a tensão aos terminais de S2 e a corrente que passa em S1 respectivamente. Pode observar-se que usando um  $n$  maior pode reduzir a tensão de pico em S1 e a corrente de pico em S2.

$$V_{S2} = \frac{V_{in} - V_o}{n} + V_o; \quad (2.6)$$

$$I_{S1} = \frac{V_o I_o}{V_{in} D}; \quad (2.7)$$

A partir da análise feita é dado a entender que aumentando suficientemente o  $n$  pode obter-se, tanto um *duty cycle* como uma eficiência maior. Mas é de referir que esta topologia tem também as suas limitações que são:

- Problema no comando das *gates*: Num conversor *buck* convencional quando S1 não conduz e o corpo do diodo de S2 conduz, a *source* de S1 está ligada à massa virtual, logo um *driver* de inicialização simples pode acionar S1 facilmente. No que diz respeito ao conversor *Tapped-inductor Buck* quando S2 está em roda livre, a tensão da *source* de S1 assume valores negativos. Essa tensão pode ser calculada pela equação 2.8. Um  $n$  maior pode tornar mais difícil a ativação de S1 e por consequência as perdas de comutação tornam-se maiores.

$$V_{S1s} = -(n - 1) \cdot V_o; \quad (2.8)$$

- Pico elevado de tensão: Quando S1 deixa de conduzir, a energia armazenada na indutância de fugas do enrolamento N2 não pode ser transferida para o enrolamento N1. A corrente de fugas entrará em ressonância com a capacidade *Drain-Source-DS* de S1, e toda a energia armazenada na indutância de fugas será transferida para o condensador DS de S1 produzindo assim um elevado pico de tensão que resultará em elevadas perdas de comutação ou até mesmo poder danificar S1.

De modo a resolver os problemas da topologia *Tapped-inductor Buck* uma melhoria desta topologia é proposta em [14]. Essa topologia é representada na figura 2.6 onde é visível a troca da

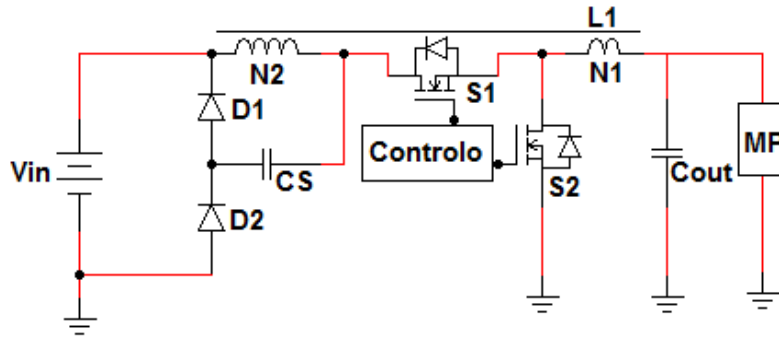


Figura 2.6: Conversor *Tapped-inductor Buck* com circuito limitador

posição do enrolamento N2 com o semiconductor S1, também o acrescento de um circuito limitador de modo a diminuir o pico de tensão em S1.

Com estas mudanças consegue-se alcançar as seguintes vantagens relativamente à topologia anterior:

- Um *driver* de inicialização simples pode ser usado para comandar S1.
- Quando S1 deixa de conduzir a energia armazenada na indutância de fugas pode ser transferida para o  $C_S$  pois este habitualmente tem uma elevada capacidade limitando assim o pico de tensão de S1.

Em regime permanente a tensão de  $C_S$  pode ser calculada usando-se a equação 2.9, e a tensão de pico de S1 pode ser calculada através de equação 2.10 caso  $C_S$  tenha elevada capacidade.

$$V_{CS} = V_o + \frac{V_{in} - V_o}{n}; \quad (2.9)$$

$$V_{S1DS} = V_{in} + V_o + \frac{V_{in} - V_o}{n}; \quad (2.10)$$

Mas esta topologia também tem as suas limitações. Quando S1 sai de condução a tensão do enrolamento N2 pode ser calculada usando-se 2.11. Se  $V_{L2}$  é maior do que  $V_{CS}$  uma elevada corrente continuará a carregar e descarregar  $C_S$  que irá resultar em elevadas perdas de condução. Então, a equação 2.12 deve ser satisfeita no projeto.

$$V_{L2} = (n - 1) \cdot V_o; \quad (2.11)$$

$$n \leq \sqrt{\frac{V_{in}}{V_o}} + 1; \quad (2.12)$$

### 2.2.1.3 Conversores meia ponte não isolada e *buck* baseado num transformador

Na secção 2.2.1.2 foram introduzidas duas topologias melhoradas do *buck*, mas que têm algumas limitações tais como, a relação de espiras é limitada, o pico de tensão em S1 é maior que



a tensão de entrada e ambas as topologias operam em modo *hard switching*. Todas estas desvantagens limitam estas topologias a um intervalo de frequências de comutação entre 300kHz e 500kHz. Numa tentativa de resolver esses problemas, esta secção apresenta duas topologias, a meia ponte não isolada e o *buck* baseado num transformador.

A topologia de meia ponte não isolada é proposta em [15, 16] e representada na figura 2.7. Nesta topologia é usado um transformador para aumentar o *duty cycle*. O ganho da tensão desta topologia pode ser calculado usando a seguinte equação 2.13 em que  $n$  é a relação de espiras entre o primário e o secundário.

$$\frac{V_o}{V_{in}} = \frac{D}{4 + D}; \quad (2.13)$$

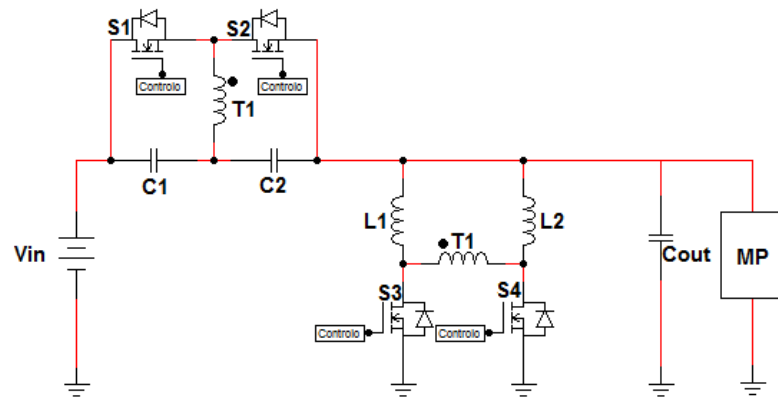


Figura 2.7: Conversor meia ponte não isolada.

A figura 2.8 ilustra o ganho da tensão do conversor meia ponte não isolada, na qual se pode observar que quando o ganho é de 10% para um  $n = 2$  pode chegar-se a um *duty cycle* de 88%. Comparado com as topologias anteriormente apresentadas consegue-se um *duty cycle* muito maior, como por exemplo, o conversor *Tapped-inductor buck* para o mesmo ganho pode apenas atingir um *duty cycle* de 30%.

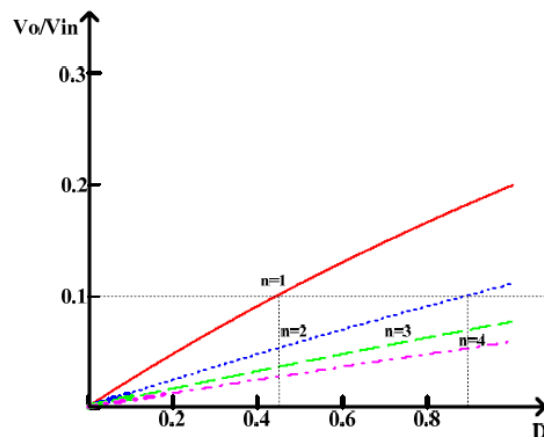


Figura 2.8: Ganho de tensão do conversor meia ponte não isolada VS *duty cycle*.

O pico de tensão do MOSFET do lado do primário (S1) pode ser calculado a partir da equação 2.14 e é de observar que essa tensão de pico é inferior à tensão de alimentação, coisa que não acontece com as as duas topologias *Tapped-inductor buck* analisadas anteriormente.

$$V_{Q1} = V_{in} - V_o; \quad (2.14)$$

Comparando as duas topologias *Tapped-inductor buck* na secção 2.2.1.2, a topologia meia ponte não isolada resolve duas das suas limitações:

- O *duty cycle* é aumentado significativamente.
- A tensão de pico do *high side* MOSFET é menor que a tensão de entrada.

Com base nessas melhorias espera-se que o conversor meia ponte não isolada tenha maior eficiência do que Buck. A análise detalhada desta topologia é feita em [15], onde mostra que esta topologia tem maior eficiência em relação à topologia Buck convencional. Mas existe um problema nesta topologia, ela opera no modo *hard switching*, e por isso não pode alcançar uma eficiência muito alta quando opera na faixa dos MHz.

Uma nova topologia denominada de *buck* baseado num transformador é proposta em [17] e exibida figura 2.9. Esta topologia é desenvolvida a partir da ponte completa convencional. Quando opera em modo mudança de fase os semicondutores S1-S4 podem entrar em condução com *zero voltage switching-ZVS*. Além disso, o transformador pode ser usado para otimizar o *duty cycle* de modo a melhorar a eficiência e a resposta dinâmica.

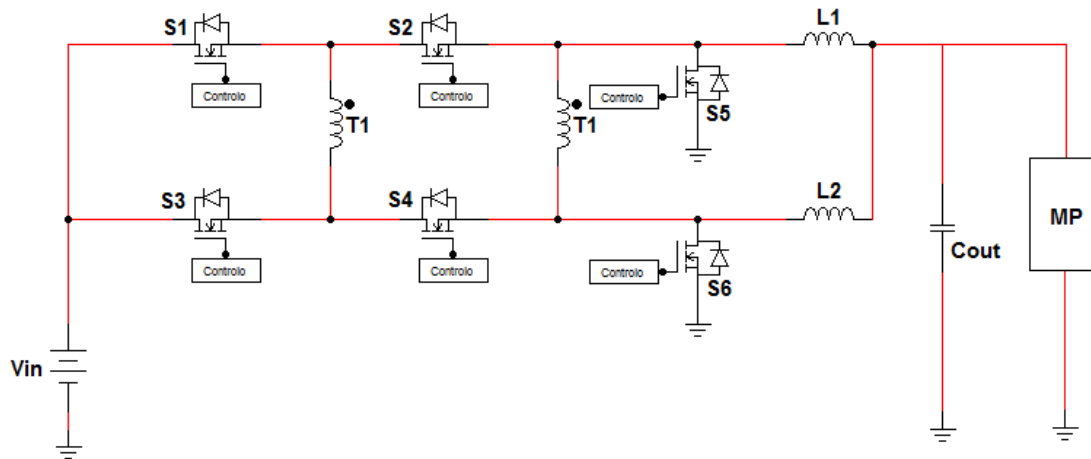


Figura 2.9: Conversor *Buck* baseado num transformador.

A análise detalhada desta topologia é feita em [17]. Parece que esta topologia resolve todos os problemas do buck convencional pois permite aumentar o *duty cycle*, permite também a comutação no modo *soft switching*, a tensão de pico nos *high side* MOSFETs é limitada à tensão de alimentação e sendo assim uma maior eficiência é esperada.

### 2.2.2 Topologias de VRMs isoladas

Hoje em dia a maior parte dos MPs são de 64 bits, ou seja, consomem mais energia que os processadores de 32 bits. Em servidores de alto desempenho existem vários MPs de 64 bits a trabalhar em paralelo, ou seja, o consumo de potência deles é da ordem dos kW, e as fontes de alimentação que os alimentam são denominadas por *power pod*. Para conseguir satisfazer esse elevado consumo de potência, foi criado um barramento de tensão de alimentação de 48V para essas fontes. Usando uma tensão de barramento de 48V pode reduzir-se a perda de condução, o tamanho da entrada do filtro, e é mais estável do que a tensão de barramento de 12 V durante uma transição de carga [18].

Quando é usado um barramento de alimentação de 48V, geralmente é necessário usar isolamento por questões de segurança. Existem várias topologias que podem ser usadas no projeto de uma fonte de alimentação *power pod* tais como, o conversor meia ponte, o conversor *push pull*, entre outros. O problema é que estas topologias operam no modo *hard switching*, ou seja, não são capazes de trabalhar na gama de frequências dos MHz.

Para o conversor ponte completa ZVS, quando a corrente necessária para alimentar os MPs é elevada, são necessários vários conversores deste tipo a operar em paralelo. Este tipo de solução dificulta a partilha de corrente e requer um maior custo. Nas seguintes secções são apresentadas várias topologias isoladas para o tipo de alimentação acima referida e são também discutidas as suas vantagens e desvantagens.

#### 2.2.2.1 Conversor Active Clamp Forward

O respetivo conversor é apresentado na figura 2.10. Esta topologia tem um baixo custo associado pois só tem um semiconductor de potência (S1) do lado do primário e o semiconductor S2 é usado com menos frequência pois serve para fazer o *reset* do transformador. Este conversor é muito usado em aplicações de baixa potência (< 300W) devido ao seu baixo custo. O ganho de tensão desta topologia pode ser calculado pela equação 2.15 onde  $n$  é a relação do número de espiras do transformador [19].

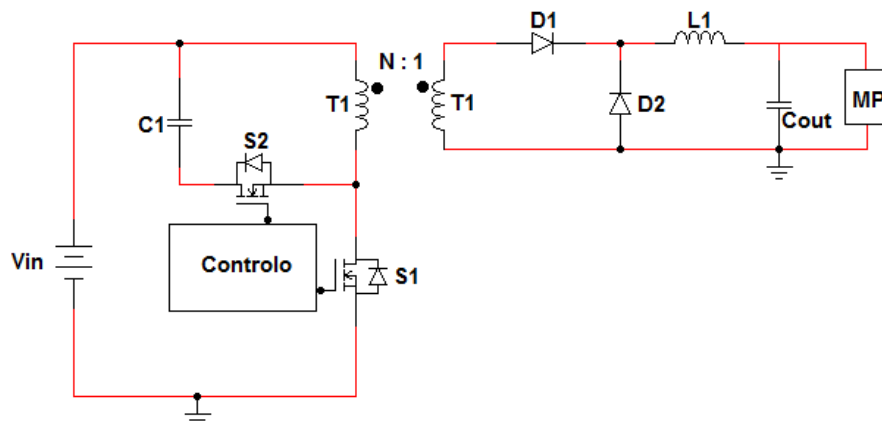


Figura 2.10: Conversor Active Clamp Forward.

$$\frac{V_o}{V_{in}} = \frac{D}{n}; \quad (2.15)$$

As desvantagens deste conversor são:

- Este transformador opera apenas em dois quadrantes, e sendo assim o seu núcleo não é totalmente usado.
- S1 opera no modo *hard switching*.
- Geralmente o seu *duty cycle* é inferior a 50% por causa da elevada tensão de pico presente em S1.

### 2.2.2.2 Conversor meia ponte isolada

O conversor meia ponte isolada é mostrado na figura 2.11 e o seu ganho de tensão é dado pela equação 2.16. Comparada com o conversor anterior, o transformador deste conversor opera nos 4 quadrantes e sendo assim o seu núcleo é totalmente usado podendo assim operar com potências maiores [19].

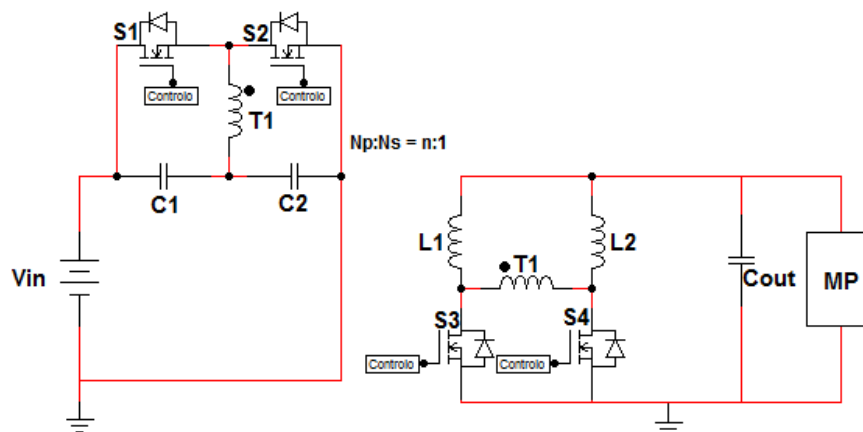


Figura 2.11: Conversor meia ponte isolada.

$$\frac{V_o}{V_{in}} = 0.5 \frac{D}{n}; \quad (2.16)$$

As vantagens deste conversor são:

- Existem dois condensadores de grande capacidade, que quando S1 e S2 deixam de conduzir a tensão aos seus terminais é limitada à tensão de alimentação.
- O seu custo de projeto é baixo pois só precisa de dois semicondutores no lado do primário.

As desvantagens deste conversor são:

- A tensão do lado do primário é metade da tensão de alimentação.
- As correntes de pico em S1 e S2 são elevadas.
- Opera em modo *hard switching*.

### 2.2.2.3 Conversor ponte completa ZVS

A topologia ponte completa ZVS é representada na figura 2.12. Comparada com a topologia meia ponte isolada percebe-se que possui mais dois semicondutores do lado primário, logo é de prever que tem um maior custo de projeto. Uma vez que a tensão do primário do transformador é igual à tensão de alimentação, então as correntes de pico dos interruptores do lado primário são reduzidas para metade em comparação com o conversor meia ponte isolada. Todos os semicondutores do lado do primário são capazes de entrar em condução em modo ZVS quando este opera em modo mudança de fase. O ganho de tensão deste conversor pode ser calculado pela equação 2.17 [19].

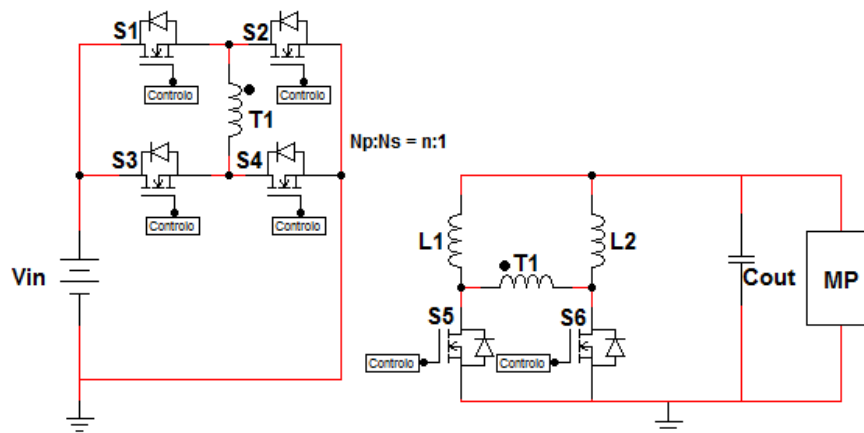


Figura 2.12: Conversor ponte completa ZVS.

$$\frac{V_o}{V_{in}} = \frac{D}{n}; \quad (2.17)$$

As vantagens deste conversor são:

- Todos os semicondutores do lado do primários conseguem entrar em condução no modo ZVS.
- Comparado com o conversor meia ponte isolada tem correntes de pico menores no lado do primário.
- As tensões de pico de S1-S4 estão limitadas à tensão de entrada.

## 2.3 Métodos de controlo para VRMs

Os VRMs dos MPs devem incorporar inevitavelmente estruturas de controlo avançadas que são essenciais para garantir que tarefas problemáticas sejam cumpridas tais como, maximizar o desempenho, evitar instabilidades e garantir uma operação própria devido a distúrbios, a incertezas e a tolerâncias que variam na fonte, na carga e em componentes do circuito [1].

Geralmente, usar vários módulos de conversores de energia em paralelo, como por exemplo os VRMs, tem vantagens relativamente a usar uma fonte alimentação centralizada de elevada potência. Este tipo de solução, é bastante usado em sistemas de alimentação distribuída. Este sistema de alimentação em paralelo tem uma característica desejável, ou seja, os seus conversores individuais partilham de igual forma e com estabilidade a corrente para a carga. Os conversores em paralelo geralmente não são exatamente iguais pois têm tolerâncias finitas diferentes. Sendo assim, se não forem feitas certas previsões para que a corrente seja igualmente distribuída pelos vários conversores em paralelo pode acontecer que essa mesma entrega de corrente à carga possa ser em excesso por alguns dos conversores, o que não é desejável pois provoca problemas de aquecimentos nesses conversores e como consequência há uma redução na segurança do sistema [3].

A fim de atingir esses objetivos são expostos e explicados sucintamente vários métodos de controlo, com diferentes complexidades, nas seguintes secções. Esse métodos são classificados em duas categorias do ponto de vista do mecanismo de operação na partilha de corrente, ou seja, os métodos *droop* e os métodos de partilha de corrente ativa. Segue-se a figura 2.13 onde se podem ver os vários métodos de controlo associados a cada uma das categorias. De salientar que para os métodos de partilha de corrente ativa existem vários métodos específicos de controlo os quais usam métodos para o processamento do sinal de erro da partilha de corrente como se pode verificar na figura 2.13.

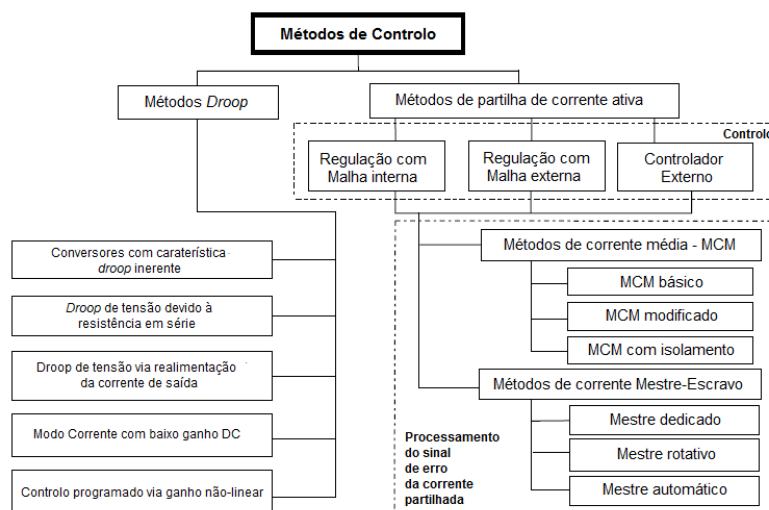


Figura 2.13: Classificação dos métodos de controlo para conversores em paralelo. - Adaptado de [3]

### 2.3.1 Métodos *Droop*

Um método *droop* pode ser definido como um método em que a sua queda de tensão aumenta à medida que a corrente na carga aumenta. O seu mecanismo de operação é programar a impedância de saída de modo a atingir a partilha de corrente entre os vários conversores. Esta família de métodos de controlo não necessita interconexões com fio entre os circuitos de controlo dos vários conversores em paralelo, e portanto é na realidade uma técnica em malha aberta que programa individualmente a impedância de saída de cada fonte de alimentação [3].

A seguir são citados e explicados cinco métodos *droop* que podem ser usados para conversores em paralelo.

- Conversores com caraterística *droop* inerente:

Um modelo simples e válido para construir um sistema de conversores em paralelo é escolher de forma correta módulos de conversores com caraterística *droop*. A capacidade dum conversor de corrente DC pode ser determinada estudando a sua caraterística de saída, ou seja, analisar o gráfico da corrente de saída  $I$  vs tensão de saída desse mesmo conversor. A razão pela qual as fontes de alimentação convencionais não são boas a partilhar corrente é que elas são projetadas para serem boas fontes de tensão com baixa impedância de saída [3].

Na figura 2.14 pode observar-se o problema de partilhar corrente DC em sistemas de conversores em paralelo.

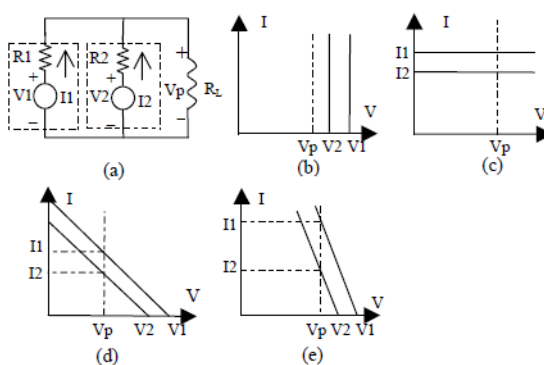


Figura 2.14: Características de saída ilustram o comportamento da partilha de corrente, 2(a) - Fontes em paralelo, 2(b) - Fontes de tensão ideais, 2(c) - Fontes de corrente ideais, 2(d) - Resistência de saída elevada e 2(e) - Resistência de saída baixa.  $V_p$  é a tensão de saída do sistema em paralelo [3].

Na figura 2.14 (b) vê-se que a linha  $V_p$  nunca intersesta as linhas de  $V_1$  e  $V_2$ , logo este sistema não tem solução, ou seja, não é capaz de partilhar carga. Ao contrário desta solução, as soluções 2.14 (c), (d) e (e) são capazes de partilhar corrente para um vasto intervalo de valores da tensão de saída. Pode ainda observar-se que em 2.14 (d) a partilha de corrente é melhor que em 2.14 (e), ou seja, o balanceamento das correntes em 2.14 (e) é pior porque a sua resistência de saída é menor do que em 2.14 (d). Entre outros, o conversor *buck*

tem a capacidade inerente de partilha de corrente, por isso pode ser usado em sistemas em paralelo [3].

- *Droop* de tensão devido à resistência em série:

Neste modelo, todas as fontes em paralelo tem uma configuração inicial que, através de um potenciômetro, faz com sejam muito idênticas. É colocada uma resistência em série com a saída para proporcionar uma queda de tensão  $IR$  na saída, como é mostrado na figura 2.15 [3].

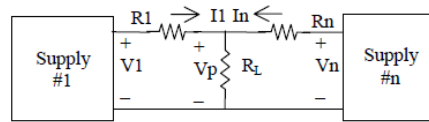


Figura 2.15: Queda de tensão devido à resistência em série [3].

A tensão de saída é expressa pela equação 2.18.

$$V_p = V_1 - I_1 R_1 = \dots = V_n - I_n R_n; \quad (2.18)$$

Como é óbvio, esta solução tem uma grande desvantagem, que é a elevada dissipação de energia na resistência em série e é tanto maior quanto maior for a queda de tensão de saída. Deste modo, este modelo não é bom para uma solução de elevada potência [3].

- *Droop* de tensão via realimentação da corrente de saída:

Neste método a tensão é medida através de uma resistência em série que depois é amplificada e usada para produzir uma queda na tensão de saída que é proporcional à corrente de saída da fonte [3]. O diagrama de blocos deste método é apresentado na figura 2.16.

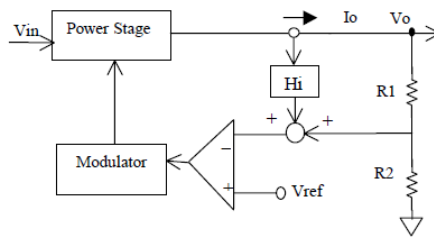


Figura 2.16: Queda de tensão através da realimentação da corrente de saída [3].

A equação 2.19 expressa a tensão de saída  $V_o$  deste modelo em função do *droop*.

$$V_o = V_{initial} - I_o R_{droop}; \quad (2.19)$$

A resistência  $R_{droop}$  representa o equivalente da resistência *droop* é aproximadamente  $H_i(R_1 + R_2)/R_2$ , e o  $V_{initial}$  é a tensão inicial da tensão de saída e é aproximadamente  $V_{ref}(R_1 + R_2)/R_2$  [3].



- Modo Corrente com baixo ganho DC:

Este método *droop* é implementado eliminando o condensador em série na malha de realimentação do amplificador de erro, ou seja, cancela a parte integradora na função de transferência. Isto reduz significativamente o ganho DC do amplificador de erro, e portanto produz-se assim uma queda na tensão de saída. Caso contrário, a diferença entre a tensão de referência e a tensão de realimentação é amplificada de tal forma que provoca um elevado desequilíbrio entre as correntes de saída dos módulos de conversores [3].

O diagrama de blocos deste método é apresentado na figura 2.17.

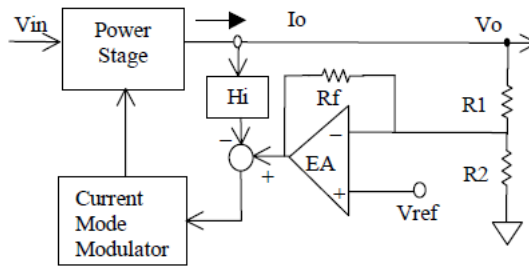


Figura 2.17: Modo corrente com baixo ganho DC [3].

A tensão de saída em função do *droop* deste método é expressa na equação 2.20.

$$V_o = V_{initial} - I_o \cdot \frac{R_1}{R_f} \cdot H_i; \quad (2.20)$$

O  $V_{initial}$  representa a tensão inicial da tensão de saída e é aproximadamente igual a  $V_{ref}(1 + R_1/R_2 + R_1/R_f)$ . O  $H_i$  é o ganho da corrente medida [3].

- Controlo programado via ganho não linear:

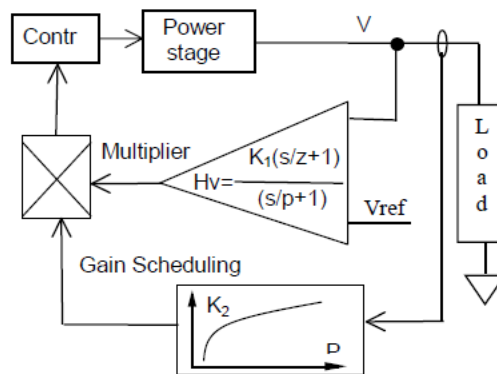


Figura 2.18: Controlo programado através de ganho não-linear [3].

Este modelo de controlo é implementado por um ganho não-linear programado, e o seu diagrama de blocos é mostrado na figura 2.18. O ganho de controlo total é  $K = K_1 \cdot K_2$ . Uma boa partilha de carga, para um dado intervalo de operação requerido, pode ser programada

e assegurada por este método, em particular numa situação de elevada carga. Este método é adequado para implementação digital como por exemplo usando controladores do tipo Fuzzy [3].

De seguida são apresentadas vantagens e desvantagens gerais dos vários métodos *droop* acima mencionados [3].

– Vantagens:

- \* Fácil de implementar e expandir o sistema em paralelo;
- \* Conexão sem fios entre os circuitos do controlo dos conversores;
- \* Elevada modularidade e fiabilidade.

– Desvantagens:

- \* Regulação de carga diminuída para atingir a característica *droop*;
- \* Pobre partilha de corrente devido à malha aberta para sistemas em paralelo.

### 2.3.2 Métodos de partilha de corrente ativa

Tal como já foi referido anteriormente os métodos de partilha de corrente ativa são uma combinação dos métodos de controlo específicos com os métodos de processamento do sinal de erro da partilha de corrente. Nesta secção são apresentados três métodos de controlo específicos e seis métodos de processamento do sinal de erro da partilha de corrente. São também apresentadas aqui as suas vantagens e desvantagens.

#### 2.3.2.1 Métodos de controlo específicos

- Regulação com malha interna:

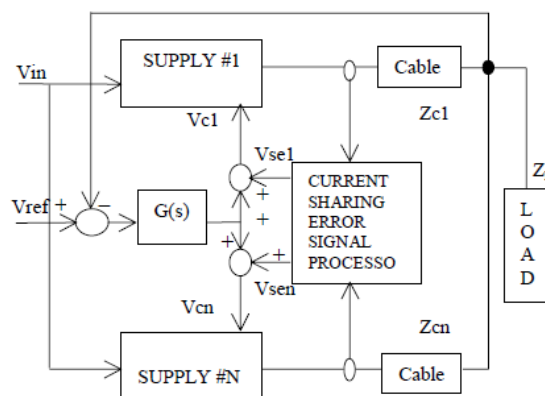


Figura 2.19: Diagrama de blocos do modo de regulação interna [3].

Este modo de controlo implica que a tensão de referência e a tensão de realimentação sejam comuns. A estrutura típica deste modelo é representada na figura 2.19 onde o  $G(s)$  é a função de transferência do compensador de erro da tensão, e  $Z_{c1}, \dots, Z_{cn}$  representam as impedâncias

dos cabos. Os sinais de erro do processador de sinal de partilha são usados para ajustar a saída do compensador de erro da malha de tensão para obter a tensão de controlo apropriada -  $V_{ci}$  onde  $i = 1, 2, \dots, i$ , a qual é usada para gerar o PWM de cada conversor de modo a obter-se a partilha de corrente desejada [3].

De seguida são mencionadas as vantagens e desvantagens deste método de controlo [3]:

- Vantagens:
  - \* Partilha de corrente estável;
  - \* Regulação da tensão de saída precisa.
- Desvantagens:
  - \* Degrada a modularidade do sistema;
  - \* Pobre tolerância a falhas.
- Regulação com malha externa:

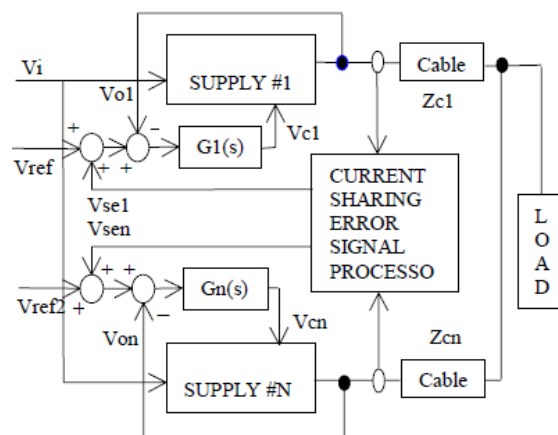


Figura 2.20: Diagrama de blocos do modo de regulação externa [3].

Este esquema usa o sinal de erro da partilha de corrente para ajustar a referência de tensão ou o terminal de realimentação da malha externa de tensão até que se consiga uma igual distribuição da corrente na carga. O conceito deste modo de controlo está representado na figura 2.20. A característica chave deste modelo é que a tensão de referência, a realimentação da tensão de saída e o compensador de tensão de cada conversor, geralmente, são independentes [3].

Este método tem vantagens e desvantagens que são apresentadas de seguida [3].

- Vantagens:
  - \* Boa modularidade e padronização para o fabrico;
  - \* Flexibilidade na configuração do sistema, o que facilita expandir ou manter o próprio sistema;

- \* Excelente tolerância a falhas contra problemas de qualquer módulo.
- Desvantagens:
  - \* Possibilidade de instabilidade no transitório;
  - \* Ganho da tensão de realimentação limitado.
- Controlador externo:

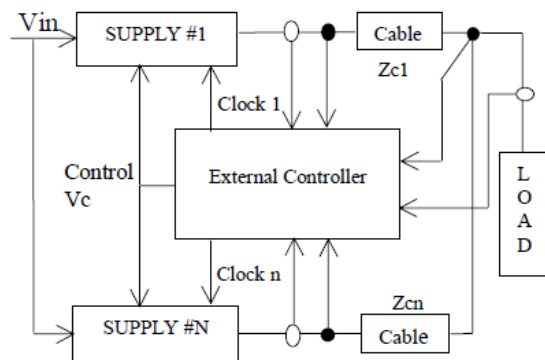


Figura 2.21: Diagrama de blocos usando um controlador externo [3].

Outro método alternativo é usar um controlador externo para realizar a partilha de corrente. Isto consegue-se comparando todos os sinais de partilha de carga de cada conversor e ajustando o sinal de controlo de realimentação correspondente para equilibrar as correntes de carga. Um diagrama de blocos típico para este modelo é mostrado na figura 2.21. Este sistema funciona bem, mas requer um controlador adicional e múltiplas conexões entre o controlador e os vários conversores. Além disso, o controlador coordena todos os conversores, o que em certa medida pode afetar a fiabilidade do sistema. Devido a estas razões, este método tem sido temporariamente descartado no que diz respeito aos métodos de controlo de partilha de corrente ativa.

As vantagens e desvantagens deste método são apresentadas abaixo [3].

- Vantagens:
  - \* Fácil de implementar a sua interligação com o resto do sistema;
  - \* Boa partilha de corrente e regulação da tensão de saída;
  - \* Fácil de implementar a monitorização de falhas;
  - \* Boa oportunidade para utilizar todo o sistema de supervisão existente.
- Desvantagens:
  - \* Mais interligações entre os módulos e o controlador externo;
  - \* Diminuição do grau de modularidade;
  - \* Diminuição da fiabilidade devido a mais interligações e um controlo mais complexo.

### 2.3.2.2 Processamento do sinal de erro da corrente partilhada

O processamento do sinal de erro da corrente partilhada é um bloco importante no método de partilha de corrente ativa. As funções de processamento de sinal servem para comunicar com os circuitos de controlo de todos os conversores em paralelo, para adquirir os sinais de erro das correntes de cada módulo e poder assim diminuí-lo tendo em conta várias metodologias [3].

- Métodos de corrente média:

De seguida são apresentados três métodos que têm como referência este método. São também apresentadas as suas vantagens e desvantagens.

- Método básico:

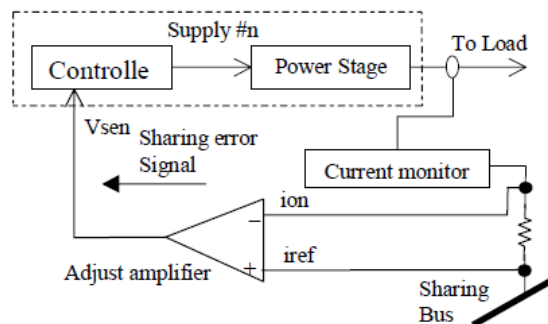


Figura 2.22: Exemplo típico do método básico [3].

O esquema deste método está representado na figura 2.22. A monitorização das correntes de cada conversor é feita através de um barramento partilhado usando uma resistência. As correntes são medidas através da queda de tensão aos terminais da resistência. Enquanto houver uma queda de tensão nessa resistência quer dizer que as correntes ainda não estão equilibradas e portanto será feito um ajustamento através do amplificador por forma a equilibrar as correntes dos vários conversores. O nó onde todas as resistências ligam representa a contribuição da corrente média na carga. Embora este esquema consiga partilhar a corrente de forma precisa, não elimina por completo o aparecimento de problemas de aplicação específicos [3].

- Método modificado:

Este método não usa um amplificador operacional para gerar o sinal de erro da corrente partilhada. A vantagem deste método é a sua estabilidade inerente. Tem as mesmas desvantagens que o método básico e para além disso tem pior resposta transitória e um *ripple* adicional [3].

- Método de isolamento:

O método de isolamento usa um método no domínio das frequências de modo a codificar e enviar a informação da corrente partilhada para implementar um isolamento

galvânico nos circuitos de controlo. Este modelo tem vantagens significantes relativamente aos outros métodos, tais como ter a capacidade de isolamento galvânico ou eliminar as várias ligações entre os vários módulos. O problema de falha do *single-point* pode ser resolvido com este modelo, logo este modelo pode ser utilizado sempre que a tolerância a falhas e a elevada fiabilidade sejam requisitos importantes do sistema. O grande problema deste modelo é que tem um custo associado elevado e também ainda está em fase de testes [3].

Após a apresentação destes três métodos de corrente média o que continua a ser mais utilizado ainda é o método básico. Apresentam-se de seguida as vantagens, e desvantagens mais importantes do método básico [3].

– Vantagens:

- \* Sinais de erro da corrente de partilhada precisos e estáveis;
- \* Ligação simples do barramento de partilha;
- \* Imunidade de ruído no controlo de partilha.

– Desvantagens:

- \* Fiabilidade relativamente baixa;
- \* Baixa tolerância a falhas.

● Métodos de corrente Mestre - Escravo:

Seguem-se os três métodos descendentes deste método. São também apresentadas as suas vantagens e desvantagens.

– Mestre dedicado:

Neste modelo, existe um módulo que é o mestre, em que a sua corrente de saída torna-se a referência na partilha de corrente para os restantes módulos de circuitos (escravos) [3].

– Método rotativo:

Neste método, cada módulo tem a capacidade de ser o mestre de acordo com a lógica do próprio controlo. Este modelo é de facto um avanço comparado com o anterior método no que diz respeito a aumentar a fiabilidade do sistema [3].

– Mestre automático:

Em relação aos métodos de corrente média e ao método dedicado este modelo tem algumas vantagens, e por isso é uma melhoria em relação relativamente a eles. Este método selecciona automaticamente o mestre que é o módulo com maior corrente de saída e ajusta consequentemente os sinais de controlo para corrigir o desequilíbrio de corrente de carga. Este modelo é semelhante para ao método básico, com a excepção que a resistência é substituída por um diodo como pode ser verificado na figura 2.23 [3].

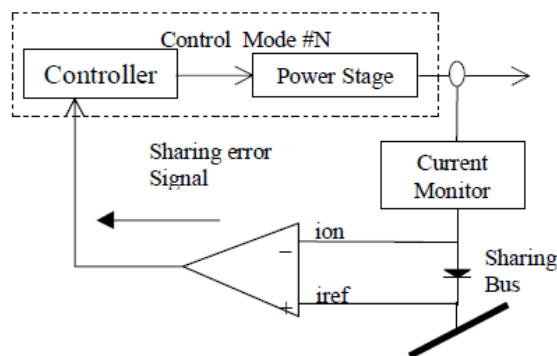


Figura 2.23: Implementação típica do método Mestre automático [3].

Dos três métodos de corrente Mestre - Escravo, o método mestre automático é mais usado. Seguem-se algumas das vantagens e desvantagens mais importantes deste método [3].

– Vantagens:

- \* Ligação simples do barramento de partilha;
- \* Boa tolerância a falhas;
- \* Fácil de expandir e modificar o sistema em paralelo.

– Desvantagens:

- \* Pobre desempenho em transitórios;
- \* Possibilidade de falha no controlo de partilha;
- \* Controlo da partilha sensível a ruído.

## 2.4 Conclusão

Após a enumeração e explicação sucinta das várias topologias VRMs usadas para alimentar os MPs e os métodos de controlo a elas associadas, no próximo capítulo faz-se a escolha da solução a adotar tendo em conta o problema proposto para esta dissertação.





## Capítulo 3

# Dimensionamento e simulação da topologia escolhida

### 3.1 Introdução

Este capítulo tem como objetivo abordar certos pontos essenciais para que se possa obter uma simulação idêntica ao comportamento real da fonte de alimentação que se pretende projetar de modo a poder-se prever e resolver certos comportamentos.

O primeiro ponto é escolher a topologia a ser usada para a fonte de alimentação em questão tendo em conta as especificações da mesma, que são apresentadas na tabela 3.1.

Como segundo ponto, apresenta-se o dimensionamento de certos componentes tendo também em conta as especificações da fonte.

O terceiro ponto mostra o modelo AC em malha aberta da topologia escolhida onde se analisa o comportamento dinâmico da mesma para que posteriormente se possa projetar os controladores dessa topologia para malha fechada.

Num quarto ponto são apresentados e explicados os controladores associados à simulação em malha fechada.

Após a apresentação desses pontos são ilustradas várias simulações em malha fechada para diferentes regimes de funcionamento e são também apresentados vários comentários respetivos aos resultados obtidos nessas simulações.

Tabela 3.1: Especificação de parâmetros da fonte de alimentação.

Parâmetros	Valor	Unidade
$V_{in}$	5	V
$V_{out}$	1.5	V
$\Delta I$	50	A
$di/dt$	100	A/ $\mu s$
$f_s$	200	$kHz$
$\Delta V_{MAX}$	$\pm 150$	mV
$V_{ppMAX}$	$\pm 30$	mV

Os parâmetros  $V_{in}$  e  $V_{out}$  representam a tensão de entrada e saída respetivamente, o  $\Delta I$  representa o estado de carga, o  $di/dt$  é o *slew rate* de corrente, o  $f_s$  corresponde à frequência de comutação, o  $\Delta V_{max}$  é o desvio máximo da tensão permitido e o  $V_{ppMAX}$  é o *ripple* máximo de tensão de saída permitido.

## 3.2 Topologia escolhida

Nesta secção, tendo em conta as topologias apresentadas no capítulo 2 e as especificações da tabela 3.1, será escolhida uma das topologias como solução para a fonte de alimentação pretendida para este projeto.

Desde logo as topologias isoladas ficam descartadas pois são soluções para fontes com potências maiores que a solução desejada para este projeto. Sendo assim, restam as fontes não isoladas.

De entre as fontes não isoladas e tendo em conta que este projeto é um projeto de elevada complexidade a vários níveis, tal como já foi referido no capítulo 1, e tendo também em consideração que este projeto está numa fase prematura, ou seja, tem um longo caminho de evolução que não pode ser cumprido pelos limites temporais deste projeto (poderá ser melhorado noutras propostas de dissertação), vai optar-se por uma topologia de mais fácil projeto, ou seja, os componentes a usar e o encapsulamento dos mesmos numa estrutura será feito com o objetivo de obter menores custos associados à sua implementação e não com o objetivo de obter máxima eficiência. Tendo isso em conta e também o que foi referido no capítulo 2, sabe-se que a topologia do conversor *buck* multi-fase é a mais popular de entre todas as outras e que apesar de apresentar elevadas perdas de comutação para *duty cycles* pequenos, ou seja, para tensões de saída abaixo de 1V, neste projeto não se pode ter esse facto muito em conta, pois a tensão de saída é de 1.5V como refere a tabela de especificações.

Tendo esta explicação em consideração, a topologia a adotar para a fonte de alimentação pretendida neste projeto é o conversor *buck* multi-fase o qual já foi apresentado e explicado no capítulo 2, e onde pode também observar-se a sua estrutura na figura 2.1. De referir, que a topologia adotada para este projeto tem também 4 fases tal como está representada na figura 2.1.

## 3.3 Dimensionamento dos componentes

Nesta secção é apresentado o dimensionamento dos vários componentes presentes na topologia escolhida. Este dimensionamento é estruturado tendo em conta os elementos ativos e passivos.

- Elementos activos:

Relativamente a estes elementos existem dois tipos diferentes, os transístores e os díodos que neste capítulo são apenas dimensionados de uma forma qualitativa pois, como é apenas para efeitos de simulação é suficiente. No próximo capítulo, o qual diz respeito à implementação do projeto, é feito o dimensionamento quantitativo relativamente a estes elementos.

– Transístores:

No que diz respeito ao dimensionamento dos transístores para a simulação vão usar-se uns transístores praticamente ideais, ou seja, apenas é dada uma resistência de condução,  $R_{DS_{on}}$  e não se terá em conta a frequência de comutação, nem a tensão de alimentação, nem a corrente que eles aguentam tendo em conta que eles são ideais nesses parâmetros.

– Díodos:

No dimensionamento dos díodos para efeitos de simulação são usados díodos praticamente ideais, pois é apenas usada uma tensão de polarização de 0.6V e não se usa uma resistência condução para o mesmo. Não se tem em conta se são díodos rápidos ou lentos dado que são díodos ideais no que a isso diz respeito.

• Elementos passivos:

Nos elementos passivos estão presentes dois tipos de elementos que compõem o filtro de saída, o qual é composto por várias bobinas (uma por fase) e pelo banco de condensadores de saída. Este filtro é um passa-baixo e é o responsável por atenuar a tensão pulsada de cada fase. Ele é também responsável por fornecer a energia quando há um transitório de carga até quando o regulador começa a responder. O facto deste filtro apresentar uma pequena largura de banda comparada com a frequência de comutação, limita necessariamente a resposta transitória do sistema deixando assim o banco de condensadores de saída responsável por fornecer e absorver a corrente de carga enquanto a corrente nas bobinas de cada fase aumenta ou diminui, conforme o pedido de corrente por parte da carga [20].

– Condensador de saída:

Em conversores rápidos, o banco de condensadores é habitualmente a parte do circuito mais cara. Sendo assim, o desenho do filtro de saída começa por minimizar o custo desta parte. Os parâmetros críticos da carga a ter em conta na escolha dos condensadores de saída são a variação máxima de estado de carga,  $\Delta I$ , o *slew rate*,  $di/dt$ , e o desvio máximo de tensão quando há transitório de carga,  $\Delta V_{MAX}$ . Os condensadores são caracterizados pela sua capacidade, pelo seu  $ESR_c$  (*Equivalent Series Resistance*) e pelo seu  $ESL_c$  (*Equivalent Series Inductance*). Ignorando a contribuição da corrente de cada bobina por fase e a resposta do regulador, a tensão de saída inicialmente tem um desvio dado pela seguinte equação 3.1 [20].

$$\Delta V \approx (ESL_c) \cdot \frac{di}{dt} + (ESR_c) \cdot \Delta I; \quad (3.1)$$

O banco de condensadores deve ter um  $ESL_c$  e um  $ESR_c$  o mais pequeno possível de modo a que o  $\Delta V < \Delta V_{MAX}$ .

Nesta parte de simulação vão usar-se condensadores apenas com uma capacidade e um  $ESR_c$ , ou seja, vai considerar-se o  $ESL_c$  igual a 0, o que para este efeito é mais do que

suficiente porque o  $ESR_c$  tem um efeito maior do que o  $ESL_c$ . Tendo isto em conta, sabe-se que minimizando o  $ESR_c$  do banco de condensadores permite-lhes fornecer o aumento de corrente de saída com menor desvio de tensão.

Falando do *ripple* da tensão de saída, pode dizer-se que este é influenciado pela capacidade do banco de condensadores e do seu próprio  $ESR_c$ . Para uma capacidade maior obtém-se um menor *ripple* de tensão de saída e para um  $ESR_c$  menor o *ripple* da tensão de saída é também menor.

A maior parte das soluções para este tipo de projeto usam condensadores de elevada frequência e de baixa capacidade em paralelo com condensadores de elevada capacidade e baixo performance a elevadas frequências.

Após esta breve explicação percebe-se perfeitamente a influência do condensador de saída no funcionamento do sistema e como tal vai usar-se um banco de condensadores com uma capacidade grande, cerca de  $5mF$  e com um  $ESR_c$  de  $10m\Omega$  no que à simulação diz respeito.

– Bobina por fase:

O conversor *buck* multi-fase tem uma vantagem em termos de *ripple* da corrente de saída relativamente a um *buck* convencional, isto é, o *ripple* de corrente de saída,  $I_{pp}$  é diminuído numa quantidade proporcional ao número de fases e o qual é dado pela equação 3.2 [20].

$$I_{pp} = \frac{(V_{in} - N \cdot V_{out}) \cdot V_{out}}{L \cdot f_s \cdot V_{in}}; \quad (3.2)$$

$V_{in}$  e  $V_{out}$  são as tensões de entrada e saída respetivamente,  $N$  é o número de fases,  $L$  é o valor da indutância de cada bobina por fase e  $f_s$  é a frequência de comutação.

Observando a equação acima referida percebe-se que um aumento do  $L$  faz com que o *ripple* de corrente seja menor tal como seria de prever.

Tendo isto em conta é de referir que o *ripple* da tensão de saída é dado em função do *ripple* de corrente de saída pois a tensão presente aos terminais do  $ESR_c$ ,  $V_{ESR_c}$ , é igual a  $ESR_c \cdot I_{pp}$ . Por conseguinte, uma vez que o banco de condensadores está escolhido, o *ripple* de tensão de saída máximo permitido,  $V_{ppMAX}$ , determina o mínimo da indutância por fase,  $L$ , o qual pode ser calculado pela inequação 3.3 [20].

$$L \geq (ESR_c) \cdot \frac{(V_{in} - N \cdot V_{out}) \cdot V_{out}}{f_s \cdot V_{in} \cdot V_{ppMAX}}; \quad (3.3)$$

Resolvendo a inequação acima com os valores já definidos anteriormente verifica-se que o valor mínimo do  $L$  por fase é negativo pois a expressão  $V_{in} - N \cdot V_{out}$  dá negativa. Esse valor não tem sentido físico pois o  $L$  não assume valores negativos, o que se pressupõe que o valor de  $L$  pode ser qualquer um a partir de zero.

No momento em que os condensadores estão a alimentar uma fração decrescente de corrente de carga enquanto o regulador restabelece do transitório, a tensão presente

aos terminais dos condensadores baixa ligeiramente. Nessa situação as bobinas devem ser capazes de assumir toda a corrente antes que a tensão de saída diminua mais que o  $\Delta V_{max}$  definido. É esse fenómeno que determina o limite superior do valor de  $L$  e o qual é determinado a partir das inequações 3.4 e 3.5 [20].

$$L \leq \frac{2 \cdot N \cdot C \cdot V_{out}}{(\Delta I)^2} \cdot [\Delta V_{MAX} - \Delta I \cdot (ESR_c)]; \quad (3.4)$$

$$L \leq \frac{(1.25) \cdot N \cdot C \cdot V_{out}}{(\Delta I)^2} \cdot [\Delta V_{MAX} - \Delta I \cdot (ESR_c)] \cdot (V_{in} - V_{out}); \quad (3.5)$$

De salientar mais uma vez que o  $L$  é o valor relativo a cada fase, e que o  $C$  é a capacidade total de saída.

Usando os valores definidos dos vários parâmetros para o cálculo do  $L$  máximo, da inequação 3.4 resulta um  $L \leq 6\mu H$ , e da inequação 3.5 resulta um  $L \leq 13\mu H$ . O valor de  $L$  máximo é selecionado pelo menor valor resultante das duas inequações, ou seja,  $L \leq 6\mu H$ .

Após o cálculo do intervalo de valores que a indutância  $L$  de cada bobina pode assumir,  $0H < L \leq 6\mu H$ , segue-se a escolha de um valor para esse mesmo  $L$  dentro do intervalo calculado. Vai usar-se uma indutância  $L = 4\mu H$  para fins de simulação.

Tendo terminado o dimensionamento, tanto dos elementos ativos como dos passivos, vai apresentar-se de seguida na próxima secção, o modelo AC em malha aberta do conversor *buck* multi-fase, usando os valores dimensionados nesta secção.

### 3.4 Modelo AC em malha aberta

Esta secção incorpora um modelo para pequenos sinais AC em malha aberta do conversor *buck* multi-fase, o qual está representado na figura 3.1.

Usando um conversor *buck* multi-fase origina o problema de igual partilha de corrente entre os vários conversores *buck* ligados entre si. A maioria dos métodos de controlo usa uma malha de controlo de corrente para a corrente de cada bobina de modo a garantir igual partilha de corrente [4].

Se o método de controlo de tensão e corrente é implementado, o projeto da malha de realimentação é geralmente baseado num modelo AC para pequenos sinais do conversor de energia. Uma vez que as equações de estado do modelo para pequenos sinais são não lineares, é usada uma média linearizada das equações de estado. Usando modelos de média para projetar o circuito de controlo elimina a necessidade de considerar modelos detalhados, que teriam de incluir efeitos de deslocamento de fase produzidas por intercalação [4].

Tendo em consideração o acima descrito neste documento apresenta-se o modelo médio das equações de estado em modo de condução contínua, MCC, para um conversor *buck* convencional o qual é descrito pela sistema de equações 3.6 [4].

$$\begin{cases} \frac{di_L}{dt} = \frac{D \cdot v_{in}}{L} - \frac{v_C}{L} \\ \frac{dv_C}{dt} = \frac{i_L}{C} - \frac{v_C}{R_L \cdot C} \end{cases} \quad (3.6)$$

O  $v_{in}$  e  $v_{out}$  representam a tensão de entrada e de saída respetivamente, o  $i_L$  é a corrente na bobina, o  $C$  é a capacidade do condensador de saída, o  $D$  é o *duty cycle* e o  $R_L$  é a uma resistência que representa a carga.

Para um conversor *buck* multi-fase de  $N$  fases o modelo de espaço de estados é descrito pelo sistema de equações 3.7 [4].

$$\frac{d}{dt} \begin{bmatrix} i_{L1} \\ \vdots \\ i_{LN} \\ v_C \end{bmatrix} = \begin{bmatrix} A_{11} & 0 & \dots & 0 & A_{1N} \\ 0 & A_{22} & \dots & 0 & A_{2N} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & \dots & A_{NN} & A_{NN} \\ A_{N+1,1} & A_{N+1,2} & \dots & A_{N+1,N} & A_{N+1,N+1} \end{bmatrix} \cdot \begin{bmatrix} i_{L1} \\ \vdots \\ i_{LN} \\ v_C \end{bmatrix} + \begin{bmatrix} B_{11} & B_{12} & \dots & 0 & 0 \\ B_{21} & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ B_{N,1} & 0 & \dots & 0 & B_{N,N+1} \\ 0 & B_{N+1,2} & \dots & B_{N+1,N} & B_{N+1,N+1} \end{bmatrix} \cdot \begin{bmatrix} v_{IN} \\ \vdots \\ D_{N-1} \\ D_N \end{bmatrix} \quad (3.7)$$

As variáveis de estado do modelo de espaço de estados acima referido são as correntes das bobinas de cada fase e a tensão do condensador de saída.

Como resultado, a função de transferência da corrente numa bobina de uma fase em relação ao *duty cycle* dessa mesma fase,  $\frac{I_{LN}(s)}{\delta_N(s)}$ , mostra uma pequena variação de sinal apenas numa das fases, ou seja, todas as outras fases assumem um *duty cycle* fixo e podem assim ser tratadas como cargas passivas [4].

A função de transferência da corrente numa bobina de uma fase em relação ao *duty cycle* dessa mesma fase,  $\frac{I_{LN}(s)}{\delta_N(s)}$ , pode ser obtida a partir do sistemas de equações 3.7, embora analiticamente não seja muito fácil de calcular essa expressão. Para que não seja necessário fazer esse cálculo usa-se o modelo representado na figura 3.1 num *software* de simulação (*MULTISIM*) que permita simular uma análise AC, o qual se encarrega de desenhar automaticamente o diagrama de bode respetivo ao modelo.

De notar que na figura 3.1 a estrutura dos dois transístores de cada fase é substituída por uma fonte de tensão controlada por tensão com um ganho de  $5V/V$  em série com uma resistência que representa a resistência de condução,  $R_{DS_{on}}$ , dos transístores. A tensão que controla essa fonte é o *PWM*. Como se pode observar apenas uma das fases tem uma pequena perturbação de sinal no *duty cycle*, as restantes têm *duty cycles* fixos, tal como foi referido acima.

A partir deste modelo vão ser feitas duas simulações, ambas de análise AC para analisar a função de transferência  $\frac{I_{LN}(s)}{\delta_N(s)}$ . Uma é feita sem perdas dos componentes, a outra é com perdas mas ambas para modo de condução contínua. Os resultados dessas simulações estão presentes nas figuras 3.2 e 3.3 respetivamente.

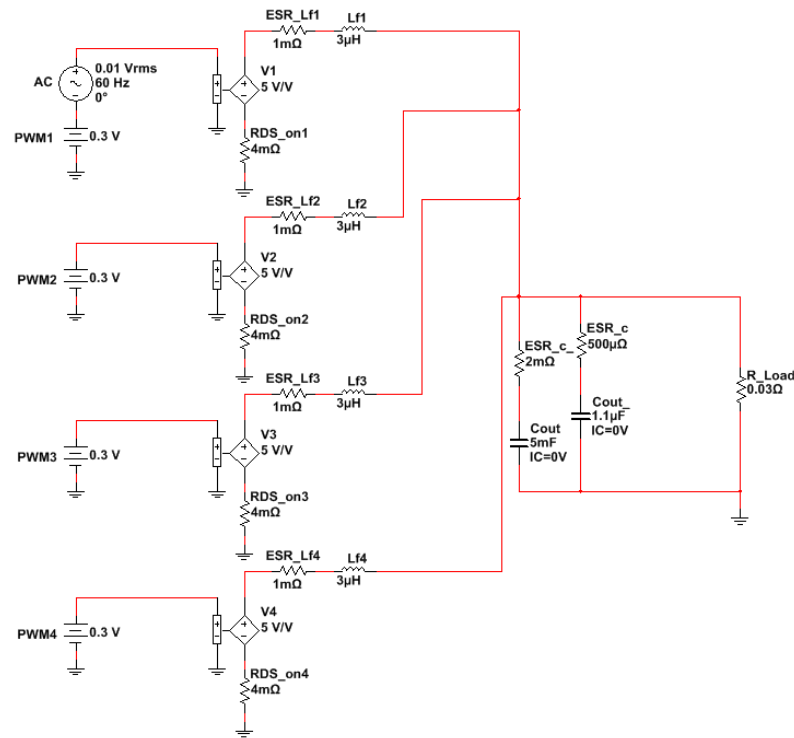


Figura 3.1: Modelo AC do conversor *buck* multi-fase da corrente de uma fase em função do *duty cycle* - Adaptado de [4].

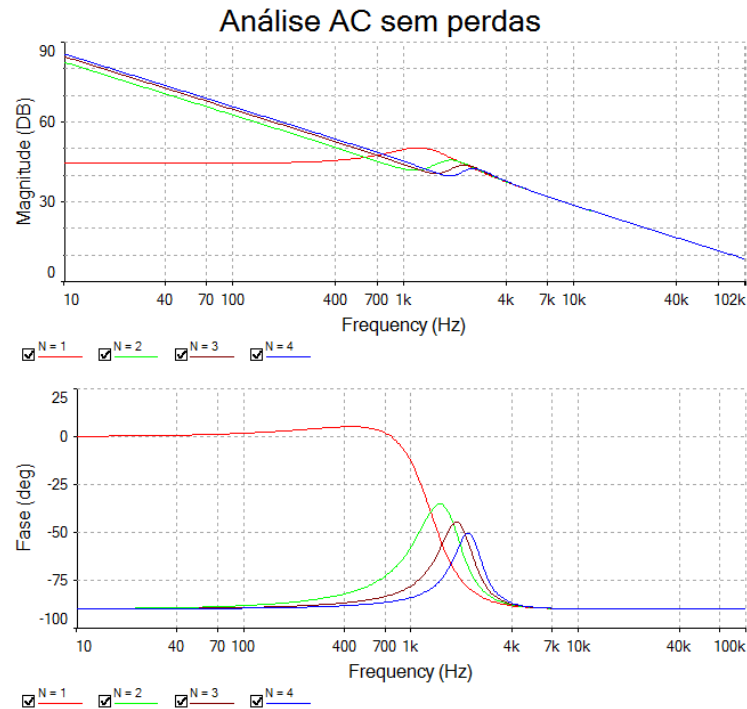


Figura 3.2: Função de transferência  $\frac{I_{LN}(s)}{\delta_N(s)}$  para  $N(1 \dots 4)$  conversores *buck* em paralelo em modo contínuo de condução, sem perdas incluídas.

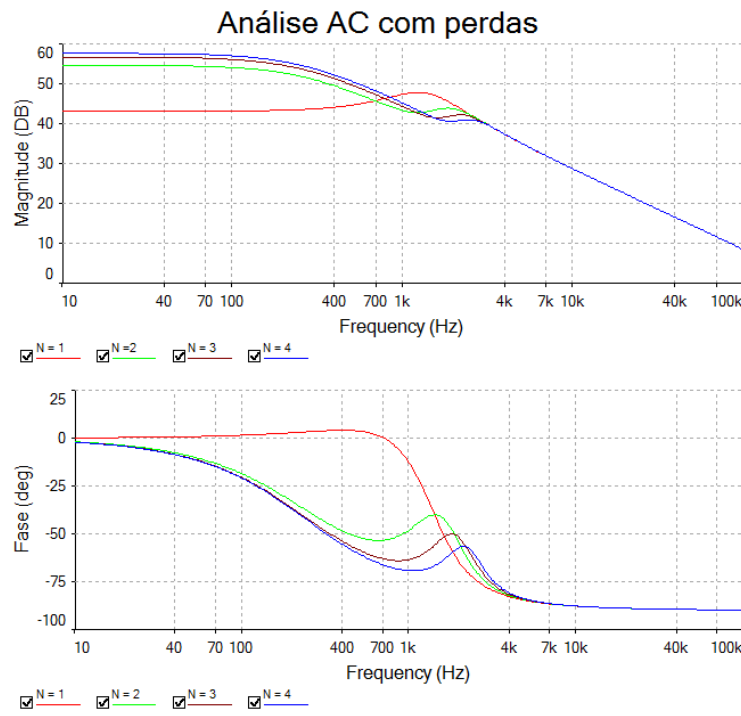


Figura 3.3: Função de transferência  $\frac{I_{LN}(s)}{\delta_N(s)}$  para  $N(1 \dots 4)$  conversores *buck* em paralelo em modo contínuo de condução, com perdas incluídas.

Analisando as duas figuras, 3.2 e 3.3 (Diagramas de Bode), pode ver-se que a análise AC com perdas para frequências menores tem maior atenuação de ganho e relativamente à fase tem também um comportamento diferente, ou seja, a fase começa sempre em  $0^\circ$  enquanto que na figura da análise AC sem perdas, a fase só começa em  $0^\circ$  para um conversor *buck* convencional. Para mais que um conversor *buck* em paralelo a fase começa em  $-90^\circ$ .

Este tipo de comportamento resulta do facto do  $ESR_c$  comportar-se como um zero na função de transferência. De referir que o  $ESR_L$  não interfere visto que está em série com o  $L$  de cada fase.

É de referir que também se poderia fazer esta análise AC das funções de transferência  $\frac{V_{in}(s)}{\delta_N(s)}$  ou  $\frac{V_{in}(s)}{V_{out}(s)}$  mas, o resultado iria ser idêntico mudando apenas os ganhos e como tal fez-se só para uma das funções de transferência,  $\frac{I_{LN}(s)}{\delta_N(s)}$ .

### 3.5 Projeto dos vários controladores

Tendo apresentado a análise AC prossegue-se agora para o projeto dos vários controladores. Tendo em conta os vários métodos de controlo apresentados no capítulo 2, vai projetar-se nesta secção o controlo em malha fechada para o conversor pretendido neste documento para fins de simulação.

O controlo em malha em malha fechada que é aqui apresentado recai num híbrido de vários métodos de controlo apresentados pois, vão usar-se 4 malhas internas do controlo das médias de corrente, para cada fase respetivamente, as quais visam controlar as correntes tendo como principal



objetivo iguala-las. Existe também uma malha externa de controlo da tensão de saída onde também é feito o *droop* de tensão.

O funcionamento do *droop* de tensão pode facilmente ser compreendido através gráfico representado na figura 3.4, ou seja, a tensão de saída varia linearmente em função da carga que é exigida. Por exemplo, para uma carga pequena, praticamente igual a zero, a tensão de saída é praticamente 1.5V, enquanto que para a carga máxima (50A), a tensão de saída desce 50mV.

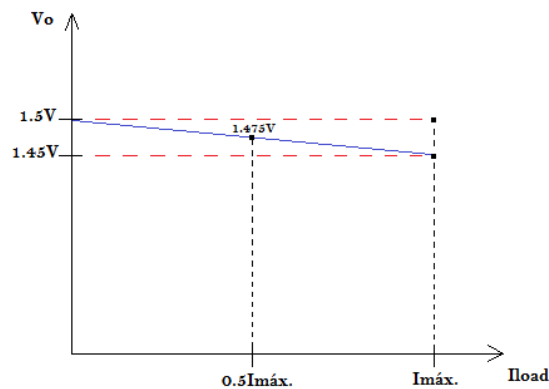


Figura 3.4: *Droop* de tensão em função da carga.

Tendo em conta as correntes de cada fase, é necessário adquirir as suas imagens respectivas que posteriormente são usadas como *inputs* para projetar os controladores da média das correntes. Para tal usa-se um *sample and hold* e um filtro passa baixo para adquirir essas mesmas imagens de corrente, onde o circuito respetivo está representado na figura 3.5.

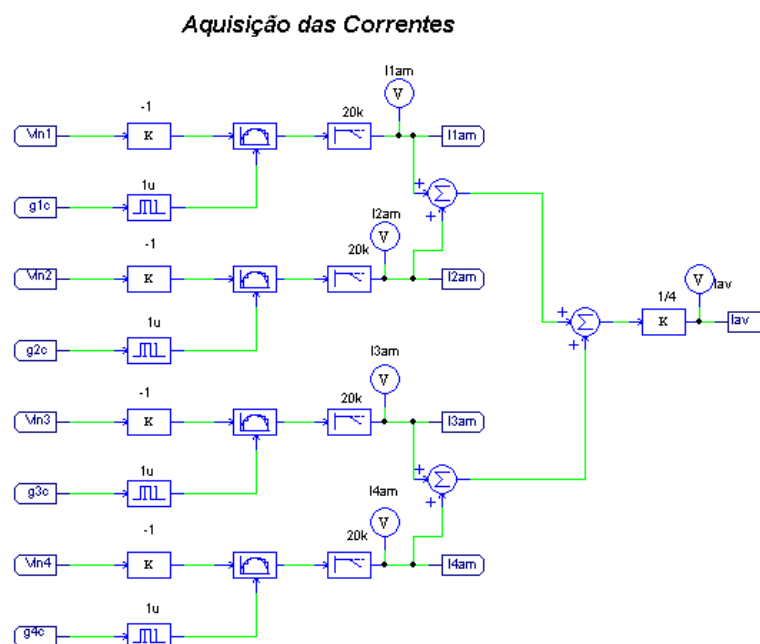


Figura 3.5: Aquisição das imagens das correntes de cada fase.

Após a obtenção das imagens das correntes de cada fase e da sua respetiva média, ambas *inputs* dos controladores das médias das correntes, calcula-se o erro da imagem de corrente de cada fase em relação à média das imagens das correntes, o qual é o *input* de cada controlador do tipo PI de cada fase. O *output* destes controladores é um pequeno ajuste ao PWM de cada fase mantendo as correntes de cada fase idênticas entre si. Esta descrição é apresentada de uma forma ilustrativa na figura 3.6 através de um diagrama de blocos.

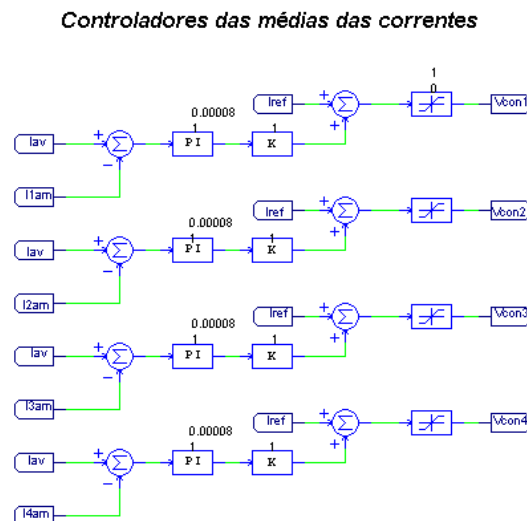


Figura 3.6: Controladores das médias das correntes do tipo PI.

O  $I_{ref}$  presente na figura 3.6 é o *output* do controlador da tensão de saída o qual é somado a cada *output* cada controlador do tipo PI das médias de corrente de cada fase e origina as tensões de controlo respetivas a cada fase ( $V_{con1}$ ,  $V_{con2}$ ,  $V_{con3}$  e  $V_{con4}$ ).

Na figura 3.7 vê-se o controlador da tensão de saída onde a tensão de referência é 1.5V a qual pode ser reduzida linearmente até 1.45V através do *droop* caso a carga pretendida seja máxima (50A). A tensão de saída é medida e subtraída à tensão de referência originando assim um erro o qual passa a ser o *input* do controlador do tipo PI, o qual tem como *output* o  $I_{ref}$ .

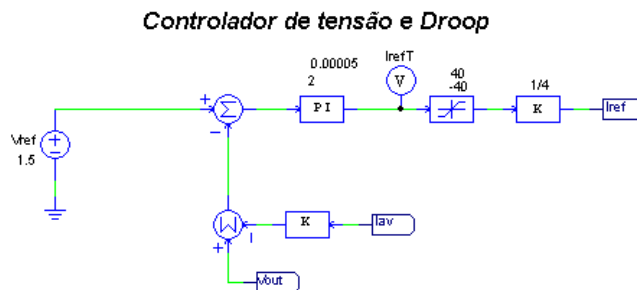


Figura 3.7: Controlador da tensão de saída do tipo PI.

Por último, é mostrado através da figura 3.8 o gerador dos PWMs para os vários semicondutores de cada fase do conversor *buck* multi-fase. Cada tensão de controlo respetiva a uma fase

é comparada com uma onda de serra originando assim o PWM respetivo a cada fase. As ondas de serra respetivas a cada fase estão desfasadas umas das outras  $1.25\mu s$  com uma frequência de  $200kHz$ . De referir, que o PWM do semicondutor do *high side* é o complementar do PWM do semicondutor do *low side*, no que diz respeito a cada fase.

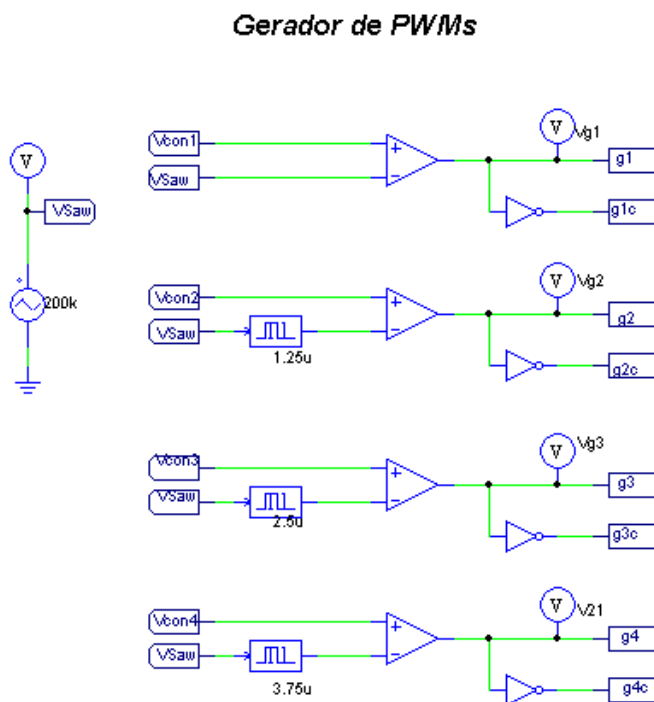


Figura 3.8: Gerador dos PWMs dos vários semicondutores.

Tendo apresentado a estrutura de controlo em malha fechada para a simulação do projeto do conversor *buck* multi-fase, é de referir que as malhas internas de controlo das médias das correntes são mais lentas que a malha de controlo externa de controlo da tensão de saída.

Segue-se agora simulação de controlo em malha fechada do conversor *buck* multi-fase na próxima secção, a qual é feita através do *software PSIM*.

### 3.6 Simulações do conversor *buck* multi-fase

Esta secção mostra os resultados de várias simulações do conversor *buck* multi-fase tendo em conta o regime permanente e o regime dinâmico. É também de referir, que para essas simulações foram usados dois modelos do circuito de potência do conversor *buck* multi-fase, os quais estão representados nos anexos A.1 e A.2. No anexo A.1 está representado o circuito de potência sem distorção paramétrica, enquanto que no anexo A.2 está representado o circuito de potência com distorção paramétrica. Esta dispersão paramétrica é relativa não só aos valores das várias resistências de condução,  $R_{DSon}$ , dos vários transístores, mas também ao valor das várias indutâncias,  $L$ , das bobinas de cada fase e ao também ao valor dos  $ESR_{Ls}$  das mesmas.

- Regime Permanente:

Para o regime permanente apresentam-se alguns resultados das simulações, tendo-se usado ambos os circuitos de potência acima mencionados. Na figura 3.9 podem visualizar-se não só as correntes da carga e das 4 fases bem como os PWMs respectivos. Esta simulação é feita sem dispersão paramétrica, ou seja, usa-se o circuito de potência apresentado em A.1. Analisando as várias curvas, percebe-se que a corrente da carga é a soma das correntes de cada fase e que o seu *ripple* vem diminuído de um fator de  $1/N$ , onde  $N$  corresponde ao número de fases que neste caso assume o valor de 4. Percebe-se também que a corrente respectiva a cada fase está desfasada de  $90^\circ$ , o que faz sentido já os PWMs respectivos estão também desfasados de  $90^\circ$ .

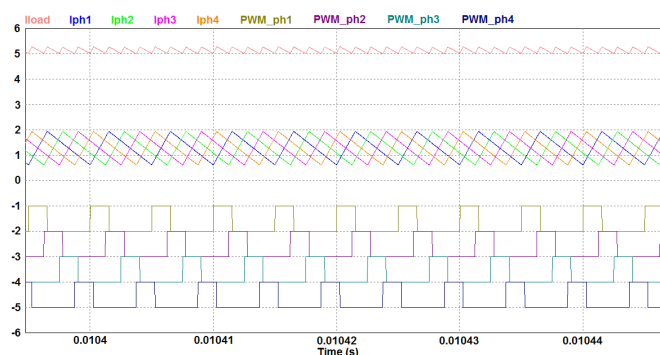


Figura 3.9: Ondas de corrente da carga e das várias fases e os seus respectivos PWMs - Sem dispersão.

Na figura 3.10 podem visualizar-se as mesmas curvas que são apresentadas na figura anterior. A diferença é que esta figura mostra o comportamento das mesmas curvas usando a simulação com dispersão paramétrica, ou seja, usa o circuito de potência apresentado em A.2. A conclusão da análise desta figura é em tudo idêntica à análise feita à da figura anterior, sendo de notar que a dispersão paramétrica é visível em todas as curvas das correntes como era de esperar.

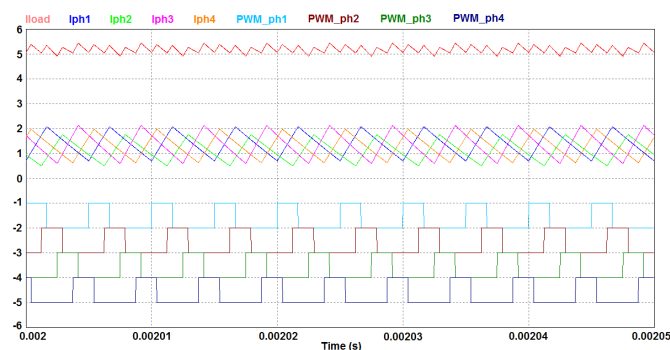


Figura 3.10: Ondas de corrente da carga e das várias fases e os seus respectivos PWMs - Com dispersão.

Outros resultados a serem analisados, da simulação em regime permanente, são a tensão de saída,  $V_{out}$ , e o seu *ripple* para diferentes estados de carga. Esse resultados podem ser observados a partir da figura 3.11. Como se pode observar, a tensão de saída tem um valor médio de 1.5V, ou seja, assume o valor de referência definido na tabela de especificações 3.1. Pode observar-se também, que o *ripple* da tensão de saída é maior quando o estado de carga é máximo como seria de esperar pois o *ripple* aumenta com o aumento de carga.

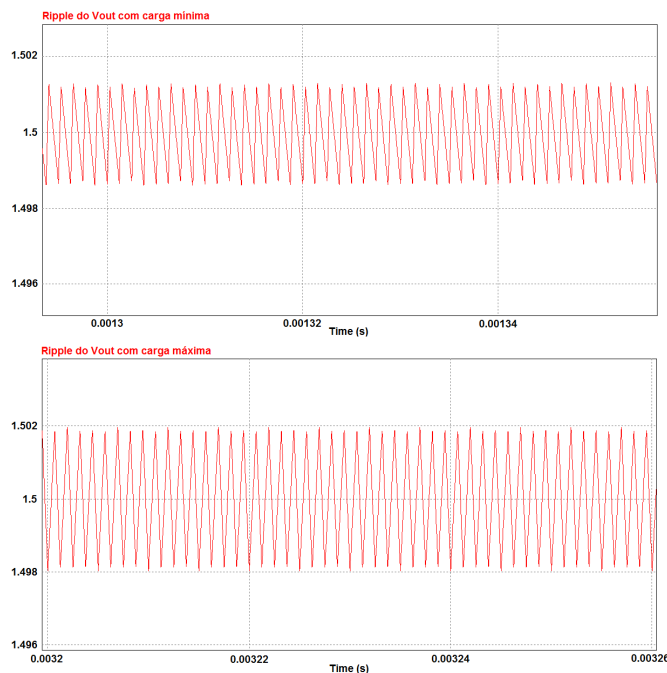


Figura 3.11: *Ripple* da tensão de saída,  $V_{out}$  para carga mínima e máxima.

- Regime dinâmico:

No regime dinâmico vão ser apresentados vários resultados em função da variação da carga, variação da tensão de entrada e da variação da tensão de referência dada pelo controlador de tensão.

- Variação da carga:

Relativamente à simulação da variação de carga são apresentados resultados de duas simulações. A primeira simulação é feita para uma variação em degrau da carga e a segunda para uma variação em rampa da carga. Os resultados de cada uma das simulações podem ser observados nas figuras 3.12 e 3.13 respetivamente. Analisando a primeira figura 3.12 verifica-se que todos os parâmetros especificados na tabela 3.1 são cumpridos menos o desvio máximo de tensão,  $\Delta V_{MAX}$  quando ocorrem os degraus de carga. De notar, que o controlador não foi devidamente dimensionado para estes casos pois a finalidade deste conversor é ter uma boa resposta às variações em rampa de carga. Analisando a figura 3.13, vê-se que os parâmetros da tabela 3.1 são cumpridos na sua integridade.

Para além disso, é de observar que para ambas as simulações foi aplicado o *droop* de tensão.

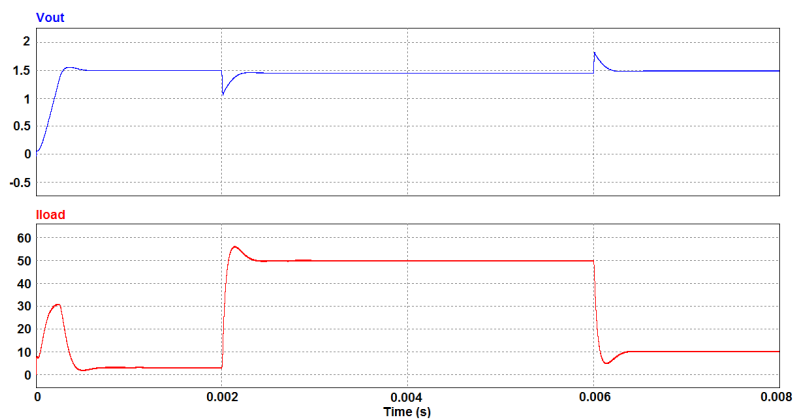


Figura 3.12: Tensão de saída,  $V_{out}$ , em função da variação de carga em degrau.

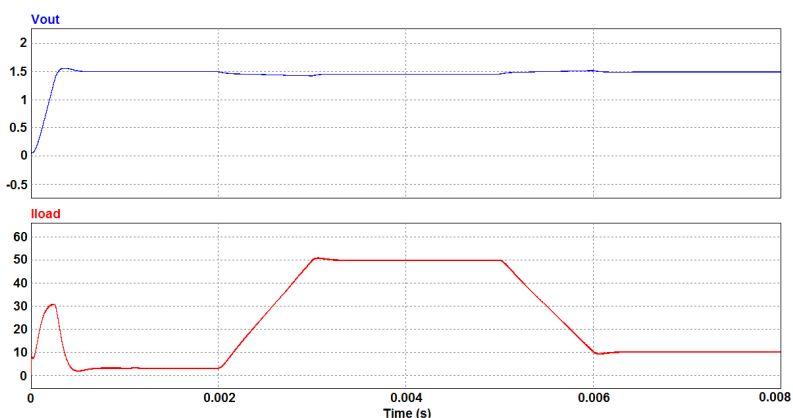


Figura 3.13: Tensão de saída,  $V_{out}$ , em função da variação de carga em rampa.

– Variação de tensão de entrada:

Para este regime dinâmico faz-se uma variação da tensão de entrada,  $V_{in}$ , em degraus de  $\pm 0.5V$  relativamente aos 5V tal como se pode observar na figura 3.14. Pode observar-se que tanto a corrente da carga,  $I_{load}$  como a tensão de saída,  $V_{out}$  têm um comportamento adequado às especificações anteriormente definidas.

– Variação da tensão de referência:

Os resultados da simulação deste regime podem ser observados na figura 3.15. Analisando as várias curvas observa-se que mudando a tensão de referência,  $V_{ref}$ , a tensão de saída,  $V_{out}$  varia de igual forma. Pode ainda ver-se que a corrente da carga sofre algumas variações quando acontecem os degraus de variação de tensão de referência. Essas variações podem desprezar-se tendo em conta os objetivos especificados para este conversor, pois a referência de tensão será fixa. Caso se pretendesse uma variação da tensão de referência teria que se proceder à otimização do controlo.

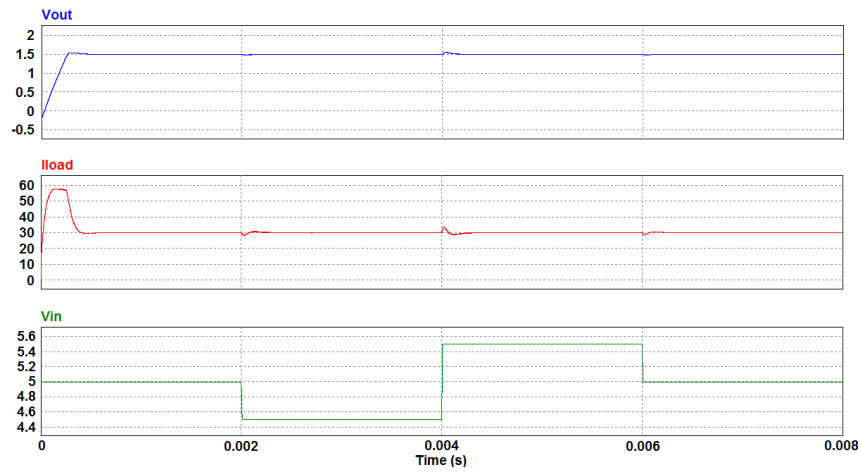


Figura 3.14:  $V_{out}$  e  $I_{load}$  em função da variação da tensão de entrada,  $V_{in}$ .

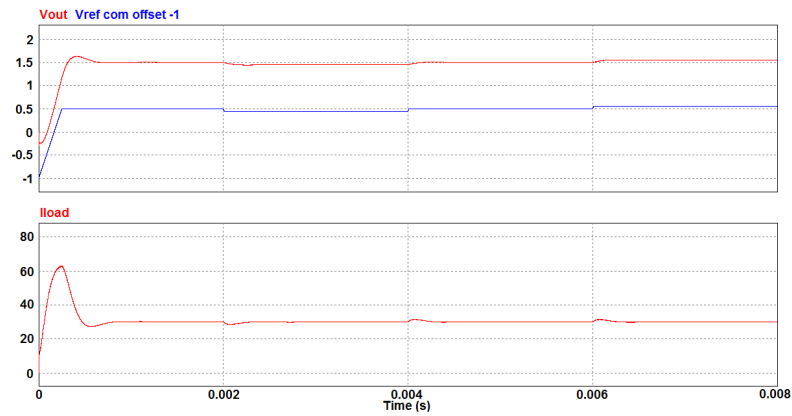


Figura 3.15:  $V_{out}$  e  $I_{load}$  em função da variação da tensão de referência,  $V_{ref}$ .

### 3.7 Conclusão

Este capítulo teve como objetivos abordar a escolha da topologia a ser usada para a fonte de alimentação tendo em conta as especificações da mesma, apresentar o dimensionamento de certos componentes e mostrar o modelo AC em malha aberta da topologia escolhida.

Analisou-se o comportamento dinâmico da fonte e apresentaram-se os resultados associados à simulação em malha fechada tendo em conta diferentes regimes de funcionamento.

Tendo em conta que os resultados das simulações apresentadas neste projeto cumprem as especificações apresentadas, prossegue-se então para o próximo capítulo, o qual trata da implementação prática do conversor *buck* multi-fase.





## Capítulo 4

# Projeto e resultados experimentais

### 4.1 Introdução

Neste capítulo são apresentados dois pontos fundamentais a ter em consideração na implementação da fonte de alimentação de baixa tensão e elevada corrente para microprocessadores. O primeiro ponto mostra o seu projeto, ou seja, define a escolha de todos os componentes a serem usados na fonte de alimentação. O segundo ponto mostra os resultados experimentais da fonte de alimentação projetada. De referir, que nos resultados experimentais apenas são mostrados resultados em malha aberta.

### 4.2 Projeto da fonte de alimentação

Esta secção apresenta todos os elementos a ter em consideração para a implementação da fonte de alimentação. Para uma melhor exposição e compreensão da escolha dos componentes esta secção está dividida em três subsecções. A primeira retrata o circuito de potência e a segunda expõe todo o circuito dos *drivers* da fonte de alimentação. Por último, há uma terceira subsecção a qual serve para mostrar a implementação da fonte de alimentação, ou seja, a junção do circuito de potência e do circuito dos *drivers*.

#### 4.2.1 Circuito de potência

No que diz respeito ao circuito de potência, usaram-se componentes tendo em conta aos valores dimensionados no capítulo anterior no que diz respeito aos componentes passivos. De ter em conta que cada fase da fonte contém um filtro de saída composto por dois condensadores em paralelo um eletrolítico, de capacidade,  $C$ , igual a  $10mF$  de  $40V$  e outro cerâmico de com capacidade,  $C$ , igual a  $0.22\mu F$  de  $100V$  e por uma bobina com uma indutância,  $L$ , de  $3\mu H$ .

É também de referir que na entrada de cada fase são usados condensadores para filtrar o sinal da fonte de alimentação. Tal como na saída de cada fase, são usados dois condensadores em paralelo, por fase, um eletrolítico, de capacidade,  $C$ , igual a  $2,2mF$  de  $25V$  e outro cerâmico de com capacidade,  $C$ , igual a  $0.22\mu F$  de  $100V$ .

No que diz respeito aos elementos ativos do circuito de potência, ou seja os transístores e díodos a serem usados têm de ser rápidos e têm também de cumprir certos parâmetros especificados na tabela 3.1 tais como, o  $V_{in} = 5V$ , o  $\Delta I = 50A$  e o  $f_s = 200kHz$ . Para tal, vai usar-se o *SMPS Mosfet IRF8010* [21] o qual respeita os parâmetros anteriormente mencionados. Vão ser usados dois por fase.

Tendo a escolha dos componentes do circuito da potência concluída prossegue-se agora para montagem das placas desse mesmo circuito, a qual pode ser visualizada na figura 4.1. De salientar que na figura abaixo representada só se visualizam duas placas, em que cada uma representa o circuito de potência de uma fase. Na verdade deveriam ver-se quatro placas dado que a fonte a implementar contém quatro fases. Isso não é possível nesta perspetiva devido ao *layout* da montagem, onde as outras duas placas estão por debaixo destas duas placas.

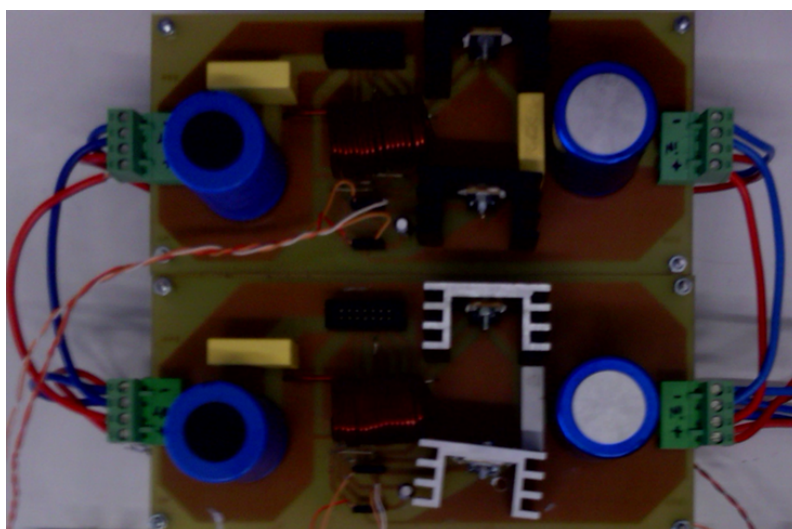


Figura 4.1: Circuito de potência do conversor *buck* multi-fase.

#### 4.2.2 Circuito dos *drivers*

O circuito dos drivers é o circuito responsável pela geração de todos os sinais *PWM*, para uma dada referência, que depois são devidamente processados para serem enviados para as *gates* respetivas de cada transístor. Para tal, vai usar-se o controlador ISL6559, o qual é um controlador apropriado para gerar sinais de *PWM* para conversores multi-fase [20]. Neste caso como se trata de um conversor de quatro fases, os sinais de *PWM* vão estar desfasados uns dos outros 90 graus. Este controlador permite apenas gerar os sinais de *PWM* para os transístores do *high side* de cada fase. É também de referir que este controlador não fornece corrente suficiente para os ânodos dos acopladores óticos (drives das *gates* dos transístores), HCPL3120 [22], e como tal têm de ser usados *buffers* de corrente. Para os sinais de *PWM* dos transístores do *high side* de cada fase usa-se um *buffer* de corrente não invertido, CD4050BC [23], enquanto que para os sinais de *PWM* dos transístores do *low side* de cada fase usa-se um *buffer* de corrente invertido, CD4049UBC [23]. Com este circuito, as *gates* dos transístores estão aptas a receber o sinal de comando através de

resistências de  $12\Omega$  conectadas às várias saídas dos acopladores óticos. Na seguinte figura 4.2 está presente o circuito acima explicado sucintamente.

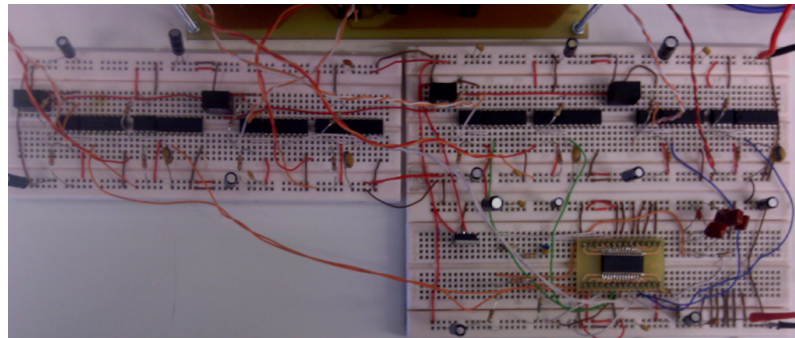


Figura 4.2: Circuito dos *drivers* do conversor *buck* multi-fase.

#### 4.2.3 Fonte de alimentação implementada

Esta subsecção serve para mostrar a fonte de alimentação implementada (junção dos circuitos de potência e dos *drivers*), a qual pode ser visualizada a partir da figura 4.3. De salientar que tanto o circuito de potência como o circuito dos *drivers* do conversor *buck* multi-fase não estão otimizados, ou seja, certos componentes usados na fonte não são os mais adequados para este tipo de projeto. Usaram-se estes por questões económicas e também por limites temporais relativos à conclusão do projeto tendo em conta que é apenas um protótipo e que posteriormente poderá sempre ser melhorado. Uma melhor explicação acerca da otimização é dada na secção de trabalho futuro do próximo capítulo 5.2

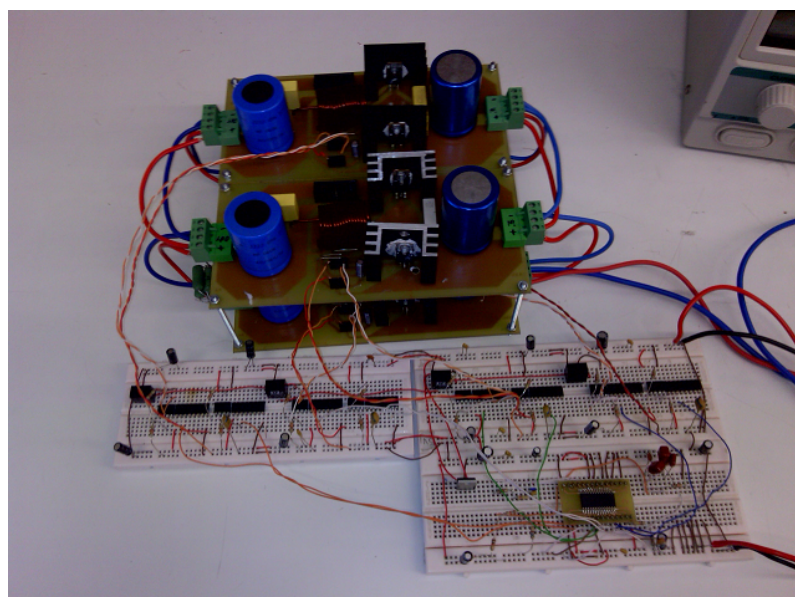


Figura 4.3: Conversor *buck* multi-fase (4 fases).

### 4.3 Resultados experimentais

Tal como já foi referido no início deste capítulo, os resultados experimentais presentes neste documento mostram apenas resultados em malha aberta. Os resultados experimentais relativamente à malha fechada não estão presentes neste documento porque não foram realizados por questões de limites temporais impostos para terminar este documento e pela complexidade do projeto a vários níveis. Para recolher os resultados experimentais usou-se um osciloscópio digital da *Tektronix* de quatro canais digitais. É de referir ainda, que a carga colocada para fazer os ensaios experimentais é uma resistência de  $0.5\Omega$ , a frequência de comutação,  $f_s$  é de  $200kHz$ , a tensão de entrada,  $V_{in}$  é de  $5V$  e a tensão de saída,  $V_{out}$  deve tomar o valor de  $1.5V$ .

Na figura 4.4 estão representados os sinais de *PWM* às *gates* dos transístores do *high side* de cada fase. Como se pode observar, os sinais estão desfasados uns dos outros  $90^\circ$  e têm uma frequência de comutação aproximadamente de  $200kHz$  tal como seria de esperar. Os *duty-cycles* dos vários sinais não são exatamente iguais como seria de esperar. Essa diferença tem a ver com o funcionamento do controlador, que está a funcionar em pseudo malha fechada tentando igualizar as correntes das diversas fases.

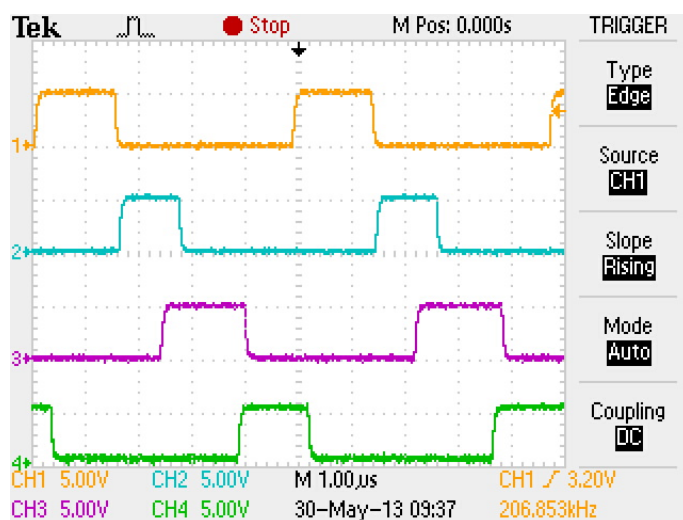


Figura 4.4: PWMs das quatro fases ( ph1 (—), ph2 (—), ph3 (—) e ph4 (—)) do conversor *buck* multi-fase.

A seguinte figura 4.5 mostra a fonte de alimentação a funcionar só com uma fase onde se pode observar o *PWM* da única fase a ser alimentada e o *ripple* de tensão de saída respetivo. Como se pode ver, quando o sinal de *PWM* conduz o *ripple* de tensão aumenta e vice-versa tal como seria de esperar. Pode ver-se também algum ruído presente no sinal.

Pode agora observar-se a partir da figura 4.6 os sinais de *PWM* referentes a duas fases e também o *ripple* da tensão de saída,  $V_{out}$ , relativo às quatro fases. Não são apresentados nesta figura os quatro sinais de *PWM*, relativos às quatro fases, pois para isso seriam precisos cinco canais de leitura e o osciloscópio só tem quatro como já foi referido anteriormente. Outro ponto a registar é o facto de não se conseguir ler muito bem a frequência de oscilação do *ripple* de tensão

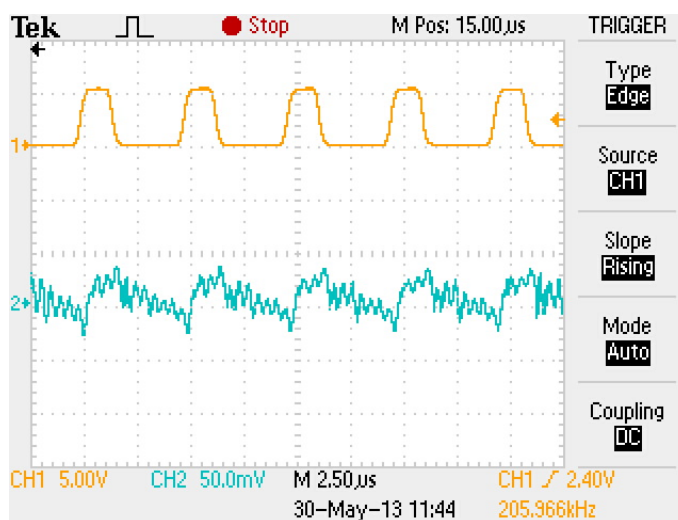


Figura 4.5: PWM de uma fase do conversor *buck* multi-fase (—) e o *ripple* de tensão de saída,  $V_{out}$  respetivo (—).

de saída (devido ao ruído presente), a qual deveria ser  $800kHz$ , ou seja, a soma das frequências dos quatros *PWMs*. Por fim, percebe-se que o *ripple* da tensão de saída, usando as quatro fases, tem uma amplitude um pouco menor do que quando se usa apenas uma fase embora, não seja quatro vezes menor como seria de esperar.

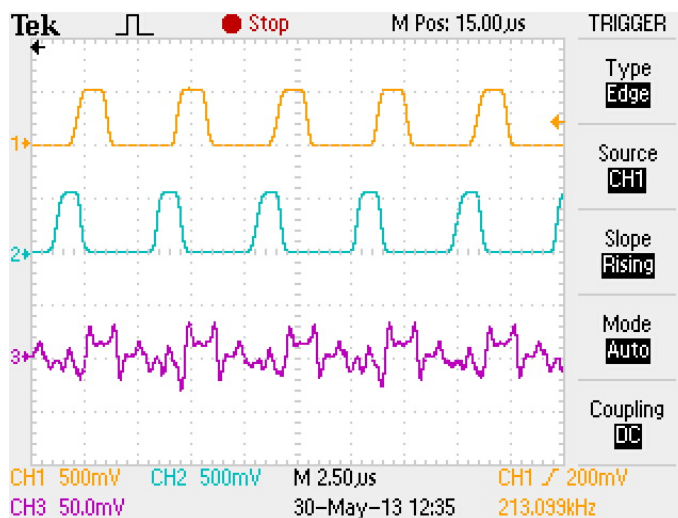


Figura 4.6: PWMs de duas fases ( ph1 (—) e ph2 (—)) e o *ripple* da tensão de saída,  $V_{out}$ , relativo às quatro fases (—).

Na figura 4.7 são apresentados dos sinais de *PWM* de duas fases e também o sinal da tensão de saída,  $V_{out}$  (valor absoluto). Como se pode verificar a tensão de saída não chega bem à tensão de referência (1.5 V) e tendo em conta que a tensão de entrada é de 5V os *duty cycles* dos *PWMs* das duas fases deveriam ser iguais a 30%, o que também não é verificado exatamente. Ambos os resultados assumem perdas provavelmente por não ter sido feito o melhor *layout* e também a otimização do dimensionamento e da escolha de certos elementos.



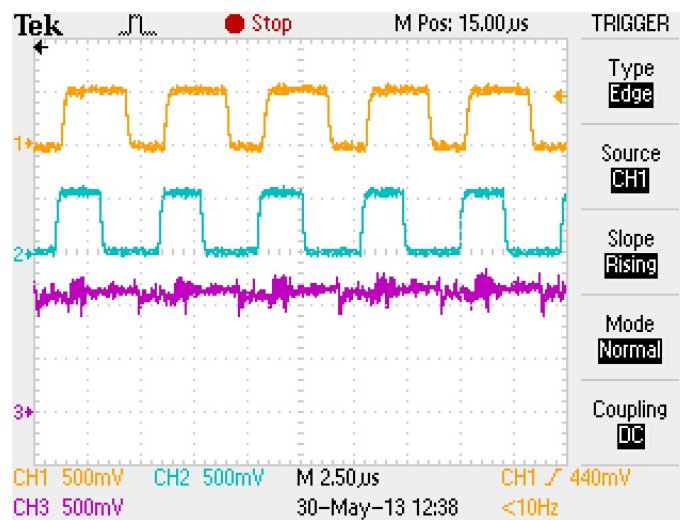


Figura 4.7: PWMs de duas fases (  $ph1$  (—) e  $ph2$  (—)) e a tensão de saída,  $V_{out}$  (—).

Pode ainda analisar-se o resultado do *ripple* de corrente de duas fases e os seus *PWMs* respectivos através da figura 4.8. Como é visível, quando os *PWMs* assumem valor lógico um, as correntes de cada fase aumentam e vice-versa. É de notar que a pinça amperimétrica usada apenas lê componente AC.

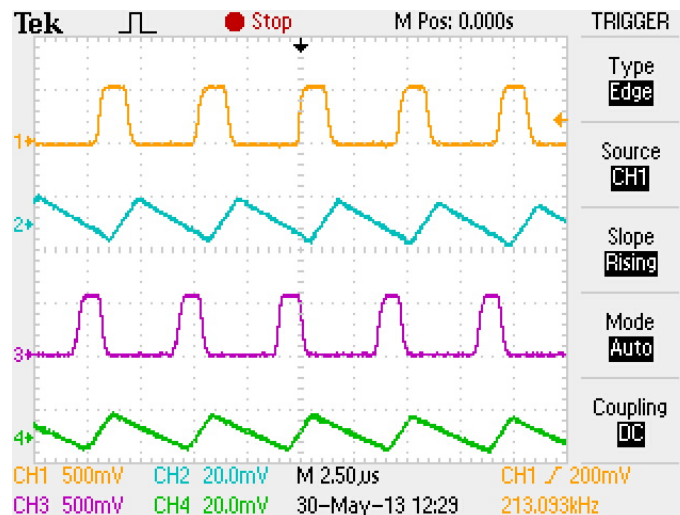


Figura 4.8: PWMs de duas fases (  $ph1$  (—) e  $ph2$  (—)) e os *ripples* de corrente respectivos (  $ripple_{ph1}$  (—) e  $ripple_{ph2}$  (—)).

Como último resultado adquirido da parte de experimental tendo em conta os aparelhos de medida disponíveis, pode a partir da figura 4.9 visualizar-se o *PWM* de uma dada fase (do *high side*), a tensão *drain-source*,  $V_{DS}$ , do *low side* (idealmente igual a  $V_{in}$  quando o transístor do *high side* está em modo de condução) e a corrente nessa fase,  $I_{ph}$ . Analisando os vários sinais percebe-se um pequeno atrasado de uns em relação aos outros, o qual deve ser o menor possível. Vê-se também um certo ruído que deve ser provocado por todo o *layout* dos vários componentes, pois como se está a trabalhar a elevadas frequências é necessário ter isso em conta.

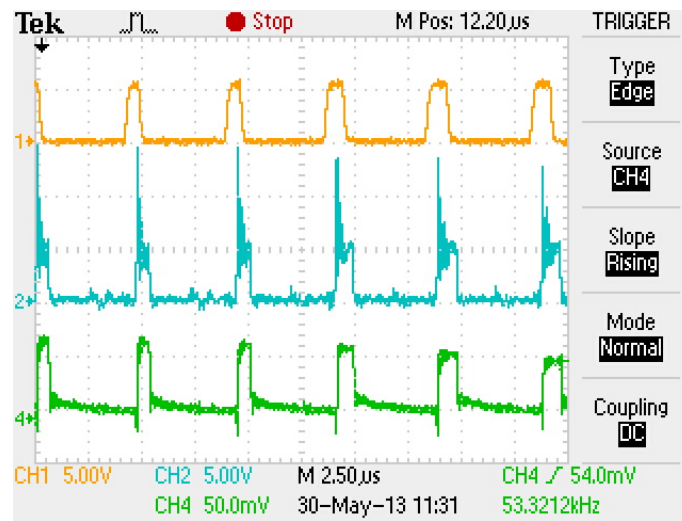


Figura 4.9: PWM de uma fase (—) do conversor *buck* multi-fase, tensão *drain-source* do transistor do *low-side*,  $V_{DS}$  (—) e corrente no transistor do *high-side* da fase respectiva (—).

## 4.4 Conclusão

No presente capítulo foram apresentados a escolha de todos os componentes a serem usados na fonte de alimentação e os resultados experimentais da mesma. No que diz respeito aos resultados experimentais apenas foram apresentados resultados em malha aberta.

Os resultados para uma e quatro fases estão de acordo com os resultados de simulação apresentados, nomeadamente a redução do *ripple* da corrente de entrada e da tensão de saída.





## Capítulo 5

# Conclusões e Trabalho Futuro

### 5.1 Conclusões

Após a exposição dos vários capítulos de modo a conseguir-se implementar uma fonte de alimentação de elevada corrente e baixa tensão para microprocessadores, pode dizer-se que praticamente todos os objetivos foram alcançados com sucesso tais como: perceber o conceito deste tipo de fontes e tendo isso em conta escolher a topologia mais adequada para este trabalho não esquecendo as especificações pré-determinadas da fonte bem como, escolher o método de controlo mais adequado, modelizar e simular o modelo de topologia escolhida e por fim implementar a topologia dimensionada e simulada.

No que diz respeito à escolha da topologia e do método de controlo foram estudadas várias topologias adequadas para este tipo de fonte e também se fez um estudo profundo no que diz respeito aos vários métodos de controlo existentes para estas fontes. É de referir que na parte da modelização AC do conversor foi estudada a resposta em frequência das diversas variáveis que determinam o comportamento dinâmico e em regime permanente da fonte.

A fonte (com os principais parâmetros  $V_{in}$ ,  $V_{out}$ ,  $\Delta I$ ,  $f_s$  e quatro fases) foi simulada em ambiente PSIM tendo-se concluído que, para os diferentes regimes de funcionamento, os resultados na sua generalidade estiveram de acordo com o esperado. Relativamente à parte experimental (malha aberta) os resultados obtidos não foram tão bons. Esta qualidade dos resultados deve-se sobretudo ao facto de se ter usado um *layout* não otimizado (os drives dos transístores estão longe das *gates* dos mesmos) e também pela não otimização na escolha de certos componentes (transístores e *drives*) tendo em conta que estas fontes trabalham a uma frequência bastante elevada.

### 5.2 Trabalho futuro

Para trabalho futuro, pode dizer-se que ainda há objetivos e melhorias a serem realizados. Um dos trabalhos futuros deve ser fechar a malha de controlo, o qual corresponde a um dos objetivos propostos inicialmente e não concluído deste projeto.

O circuito dos *drivers* é outro dos trabalhos futuros a ter em conta, pois deve ser completamente modificado, ou seja, deve ser trocado por um circuito de *drivers* adequado para este tipo de fontes tendo em conta que estas fontes comutadas funcionam a uma elevada frequência. Existem *drives* apropriados para este tipo de fontes, o que não é o caso do que foi usado para este projeto.

Outro melhoramento a ser feito é o próprio *layout* da fonte, ou seja, passar o circuito dos *drivers* para uma PCB - *printed circuit board* e colocar os *drives* o mais perto possível das *gates* dos transístores pelo facto de se estar a trabalhar a elevadas frequências e poder assim diminuir a presença de ruído nos sinais de comando.

Por fim, poderá fazer-se a troca das bobinas presentes por fase (com núcleo de ar) por outras com núcleo ferro-magnético de modo a fechar melhor as linhas de campo e assim diminuir, para além do tamanho, as interferências que possam existir bem como o fluxo de fugas.

## Anexo A

# Circuitos de potência usados na simulação

### A.1 Circuito de potência do conversor *buck* multi-fase - sem dispersão paramétrica

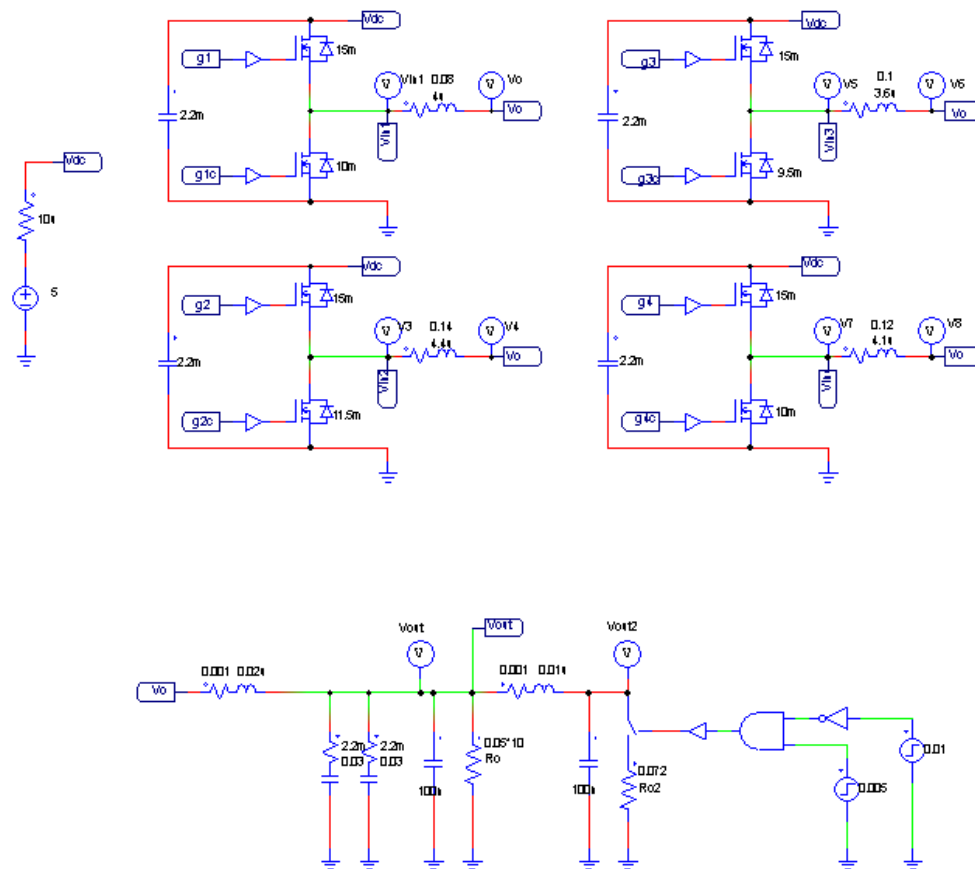


Figura A.1: Circuito de potência do conversor *buck* multi-fase - sem dispersão paramétrica.

## A.2 Circuito de potência do conversor *buck* multi-fase - com dispersão paramétrica

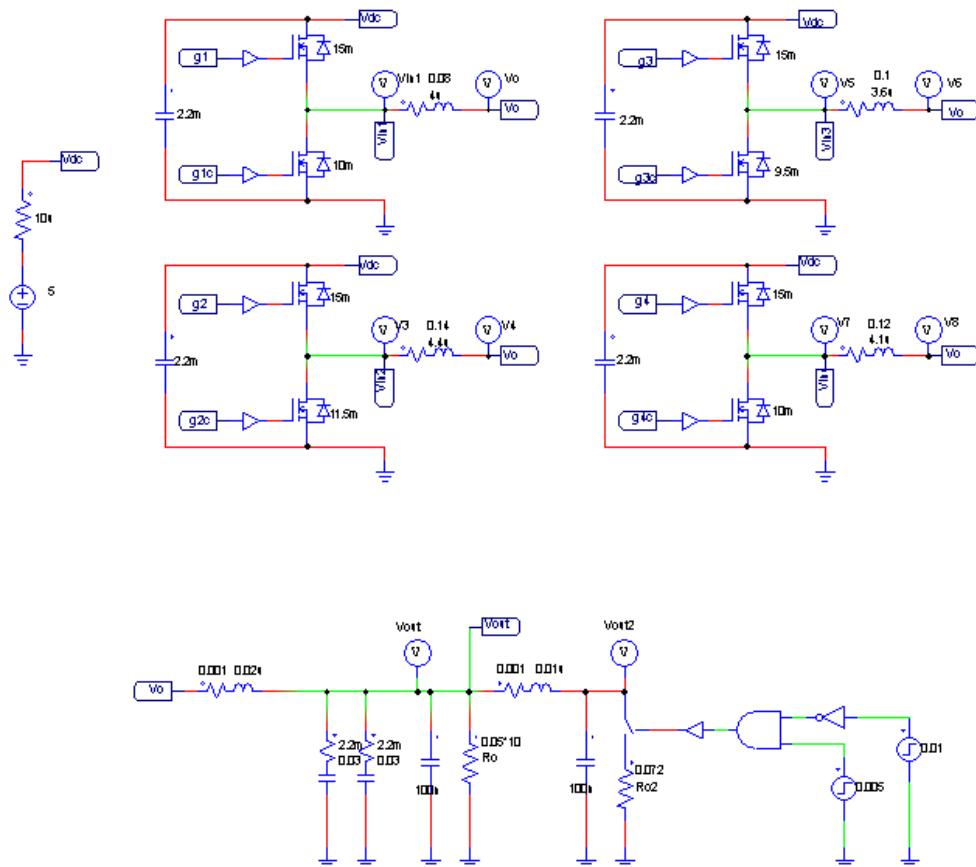


Figura A.2: Circuito de potência do conversor *buck* multi-fase - com dispersão paramétrica.

# Referências

- [1] Reinhold Elferich e Eduard Alarcón Toni López. *Voltage regulators for next generation microprocessors*. Springer, 1ª edição, 2011.
- [2] F.C.; Yu Meng; Jia Wei Kaiwei Yao; Lee. Tapped-inductor buck converters with a lossless clamp circuit. *IEEE Applied Power Electronics. conf.*, páginas 693–698, 2002.
- [3] Shiguo Luo, Z. Ye, R. Lin, e Fred C. Lee. A classification and evaluation of paralleling methods for power supply modules. *Power Electronics Specialists Conference, 30th Annual IEEE (Volume:2 )*, páginas 901–908, Julho 1999.
- [4] Dorin O. Neacsu, William Bonnice, e Evgeny Holmanský. On the small-signal modeling of parallel/interleaved buck/boost converters. *Industrial Electronics (ISIE), IEEE International Symposium*, páginas 2708–2713, 2010.
- [5] Tech Power Up. Base de dados de microprocessadores da intel, 2013. URL: <http://www.techpowerup.com/cpubd/> [último acesso em 2013-04-10].
- [6] P. Xu F.C. Lee X. Zhou, P.L. Wong e A.Q. Huang. Investigation of candidate vrm topologies for future microprocessors. *IEEE Transactions on Power Electronics, Vol. 15, No. 6*, páginas 1172–1182, Novembro 2000.
- [7] P. Xu J. Wei e F.C. Lee. A high efficiency topology for 12 v vrm-push-pull buck and its integrated magnetics implementations. *IEEE Applied Power Electronics Conference (APEC), Vol. 2*, páginas 679–685, Março 2002.
- [8] M. Xu K. Yao, Y. Qiu e F.C. Lee. A novel winding-coupled buck converter for highfrequency, high-step-down dc-dc conversion. *IEEE Transactions on Power Electronics, Vol. 20, No. 5*, páginas 1017–1024, Setembro 2005.
- [9] J. Wei P. Xu e F.C. Lee. The active-clamp couple-buck converter-a novel high efficiency voltage regulator modules. *IEEE Applied Power Electronics Conference (APEC) 2001, Vol. 1*, páginas 252–257, Março 2001.
- [10] M. Xu K. Yao, Y. Qiu e F.C. Lee. Tapped-inductor buck converter for high-step-down dc-dc conversion. *IEEE Transactions on Power Electronics, Vol. 20, No. 4*, páginas 775–780, Julho 2005.
- [11] M.G. Egan B. O’Sullivan B. Barry, R. Morrison e K. Kelliher. Comparison of two 12 v voltage regulator module topologies. *IEEE Applied Power Electronics Conference (APEC) 2004, Vol. 2*, páginas 1301–1305, 2004.

- [12] A.Q. Xunwei Zhou; Pit-Leong Wong; Peng Xu; Lee, F.C.; Huang. Investigation of candidate vrm topologies for future microprocessors. *IEEE Trans. Power Electron.*, vol. 15 , no 6, páginas 1171–1182, Novembro 2000.
- [13] F.C. Jia Wei; Peng Xu; Lee. A high efficiency topology for 12 v vrm-push-pull buck and its integrated magnetics implementations. *IEEE Applied Power Electronics. conf.*, páginas 679–685, 2002.
- [14] F.C. Kaiwei Yao; Mao Ye; Ming Xu; Lee. Tapped-inductor buck converter for highstep-down dc-dc conversion. *IEEE Trans. Power Electron.*, vol. 20, no. 4, páginas 775–780, Julho 2005.
- [15] Zhihua Yang; Sheng Ye; Yan-Fei Liu. A new transformer-based non-isolated topology optimized for vrm application. *IEEE Power Electronics Specialists. conf.*, páginas 447–453, 2005.
- [16] Zhihua Yang; Sheng Ye; Yanfei Liu. A novel nonisolated half bridge dc-dc converter. *Applied Power Electronics. conf*, páginas 301–307, 2005.
- [17] F.C. Jinghai Zhou; Ming Xu; Julu Sun; Lee. A self-driven soft-switching voltage regulator for future microprocessors. *IEEE Trans. Power Electron.*, vol. 20, no.4, páginas 806–814, Julho 2005.
- [18] Jinghai. Zhou Ming. Xu, Yuancheng Ren e F.C. Lee. 1mhz self driven zvs full bridge converter for 48v power pod and dc/dc brick. *IEEE Transactions on Power Electronics*, Vol. 20, No. 5, páginas 997–1006, Setembro 2005.
- [19] Sheng Ye. Novel full bridge topologies for vrm applications. Tese de mestrado, Queen's University Kingston, Ontario, Canada, 2008.
- [20] Intersil. Isl 6559 - datasheet, 2004.
- [21] International Rectifier. Irf 8010 - datasheet, 2002.
- [22] Hewlett Packard. Hcpl 3120 - datasheet.
- [23] National Semiconductors. Cd4049ubm/cd4049ubc, cd4050bm/cd4050bc - datasheet, 1988.